

## 明 細 書

データ転送方法、データ転送回路、出力回路、入力回路、半導体装置、  
電子装置

### 技術分野

[0001] 本発明は、データ転送方法、データ転送回路、出力回路、入力回路、及び出力回路及び／又は入力回路を使用する半導体装置と電子装置に関する。

### 背景技術

[0002] デジタル画像処理装置の高機能化、および高解像度化等を含めた高画質化に伴い、デジタル画像処理装置に搭載されるデジタル回路間、例えばLSI間において、大量かつ高速なデータ転送を行う必要性が高まっている。

[0003] 図1は、プラズマディスプレイパネルを含む第1従来例のデジタル画像処理装置の構成を示すブロック図である。図1を参照して、デジタル画像処理装置は、画像処理LSI501、バス配線502、ドライバ503、およびプラズマディスプレイパネル504を備えている。画像処理LSI501は色空間変換、 $\gamma$ 補正等の信号処理を施し、その結果の画像データは、バス配線502によってドライバ503に転送され、プラズマディスプレイパネル504で表示される。

[0004] ここで解像度WXGA(Wide-XGAの略であり、4095画素×768ラインの画素数を意味する)のプラズマディスプレイパネルの上下半分ずつの領域が、現在市販されている256ビット4ポートのドライバにより駆動されたとする。この場合、画像処理LSIは、128本(4095画素÷256画素×4ポート×2領域)のバス配線と対応する数の出力端子を必要とする。すなわち2値電圧データを扱うバス配線を用いる従来のデータ転送方法では、配線数やLSIの入出力端子数を多量に必要とし、今後登場するであろう高解像度の装置のコストは高くなるものと予想される。

[0005] 2値電圧データによるデータ転送において配線数やLSIの入出力端子数が多量に必要となる課題は、2値電圧データではなく多値電圧データを用いることにより解決可能となる。例えば、2ビット、3ビット、あるいは4ビットの2値電圧データが、4値、8値、あるいは16値の多値電圧データに符号化されて送信側から送信され、受信側にお

いて、多値電圧データが元の2ビット、3ビット、および4ビットの2値電圧データに復元されるならば、上記課題は解決されることができる。このとき、配線数は、2値電圧データの転送の場合の1/2、1/3、あるいは1/4に削減できる。

[0006] しかしながら、高次の電圧多値化が行なわれる場合、電源電圧の制限のため各値の1ステップあたりの電圧が低下し、相対的にノイズ電圧が増加する。このため、受信側での多値の判別が困難になる。例えば、4ビットの2値電圧データが16値化されて1本の配線で転送される場合、3.3Vの電源電圧では、1ステップあたりの電圧は約200mVとなる。このため、正常なデータ転送のためには、ノイズ電圧を1ステップ以下に抑えけるとともに、受信側では約200mVの分解能をもたなければならない。一般に電圧データの高次の多値化はノイズマージンや分解能の点から困難である。

[0007] 上記多値電圧データによるデータ転送の課題を解決するため、多値電流データによるデータ転送方法が提案されている。電流データの多値化は電圧データの多値化に比べてノイズマージンが広く、高次の多値化に適している。例えば特開2001-156621にデータ伝送システム(第2従来例)が提案されている。図2は、このデータ伝送システムを示している。図2を参照して、送信側の内部回路601から出力される2値電圧データが、DAコンバータ(DAC: Digital to Analog Converter)602によって多値電圧データに変換される。多値電圧データが、PMOSTランジスタ603によって多値電流データに変換される。多値電流データが1本のデータ線604により送信される。受信側では、多値電流データはカレントミラー回路605により受信され、ADコンバータ(ADC: Analog to Digital Converter)606により元の2値電圧データに復元される。復元された2値電圧データが、内部回路607で使用される。この方法により、多値電圧データによるデータ転送よりも送受信間でノイズの影響を受けにくく、かつバス配線数が削減されたデータ転送が可能である。

[0008] しかしながら、第2従来例が、デジタル画像処理装置に適用される場合、以下の問題点がある。2値電圧データがDAコンバータ602によって多値電圧データに変換された後、PMOSTランジスタ603により多値電流データに変換されている。従って、送信側において電圧データが依然としてノイズの影響を受けやすい。

[0009] また、送信側において高次の多値化が行われる場合に、DAコンバータ602のハー

ドウェア量が大きい。加えて、逐次比較型ADコンバータ606が採用されており、多値電流データから2値電圧データへの変換では、上位ビットから順に値が確定される。このため、受信側において多値電流データから元の2値電圧データを復元するために長い時間が必要である。

- [0010] 送信側においてノイズの影響を受けにくく、かつ2値電圧データから多値電流データの変換に必要なハードウェア量が少なく、かつ受信側において多値電流データから元の2値電圧データへの復元を高速に行う、データ転送方法および回路が望まれる。

特許文献1:特開2001-156621公報

#### 発明の開示

- [0011] 本発明の目的は、送信側においてノイズの影響を受けにくいデータ転送方法および回路を提供することである。

本発明の他の目的は、2値電圧データから多値電流データの変換に必要なハードウェア量が少ないデータ転送方法および回路を提供することである。

本発明のさらに他の目的は、受信側において多値電流データから元の2値電圧データへの復元を高速に行うデータ転送方法および回路を提供することである。

- [0012] 本発明の観点では、デジタル画像処理装置のデータ転送方法は、 $n$ ビット( $n$ は2以上の整数)の第1の2値電圧データを $2^n$ 値の多値電流データに変換し、前記多値電流データを単一のデータ線を介して転送し、前記データ線上の前記多値電流データを $(2^n-1)$ ビットの2値電流データに変換し、前記 $(2^n-1)$ ビットの前記2値電流データを $(2^n-1)$ ビットの第2の2値電圧データに変換し、前記 $(2^n-1)$ ビットの前記第2の2値電圧データから前記 $n$ ビットの前記第1の2値電圧データを復元することにより達成される。

- [0013] また、本発明の他の観点では、デジタル画像処理装置のデータ転送回路は、 $n$ ビット( $n$ は2以上の整数)の第1の2値電圧データを $2^n$ 値の多値電流データに変換する電圧電流変換回路と、前記多値電流データを転送する単一のデータ転送線と、前記データ転送線上の前記多値電流データを $(2^n-1)$ ビットの2値電流データに変換する電流比較回路と、前記 $(2^n-1)$ ビットの前記2値電流データを $(2^n-1)$ ビットの第2の2

値電圧データに変換する電流電圧変換回路と、前記 $(2^n-1)$ ビットの前記第2の2値電圧データから前記 $n$ ビットの前記第1の2値電圧データを復元する計数回路とを具備する。

[0014] ここで、前記電流電圧変換回路は、前記 $n$ ビットの各ビットに対応する値 $2^i$  ( $i$ は0以上 $n-1$ 以下の整数)に比例する電流を生成し、生成された電流を重ね合わせることで前記 $n$ ビットの前記第1の2値電圧データに比例する電流値を有する前記 $2^n$ 値の前記多値電流データを前記データ転送線路上に出力してもよい。

[0015] また、前記電流比較回路は、前記多値電流データを $(2^n-1)$ ビットに展開し、前記 $(2^n-1)$ ビットの各々において、前記多値電流データの電流値が対応する閾値電流より大きいかな否かに基づいてそのビットの論理値が決定された前記 $(2^n-1)$ ビットの2値電流データを出力してもよい。

また、前記電流電圧変換回路は、前記 $(2^n-1)$ ビットの前記2値電流データをビット単位で前記 $(2^n-1)$ ビットの前記第2の2値電圧データに変換してもよい。

[0016] また、前記計数回路は、前記 $(2^n-1)$ ビットの前記第2の2値電圧データを入力し、論理"1"を有するビット位置に基づいて前記第1の2値電圧データを復元する論理回路を具備することが望ましい。

[0017] 前記電流電圧変換回路は、前記 $n$ ビットに対応して並列に設けられた第1回路群を備え、前記第1回路の各々は、前記 $n$ ビットのうちの対応するビットに対応する値 $2^i$  ( $i$ は0以上 $n-1$ 以下の整数)に比例する電流を生成してもよい。この場合、前記第1回路の各々は、ソース端子が電源端子又は接地端子に接続され、ゲート端子とドレイン端子が接続される第1のトランジスタと、ゲート端子に外部からの前記 $n$ ビットのうちの前記対応するビットの第1の2値電圧データが与えられ、ドレイン端子が前記第1のトランジスタのドレイン端子に接続される第2のトランジスタと、ソース端子が前記電源端子又は前記接地端子に接続され、ゲート端子が前記第1のトランジスタの前記ゲート端子に接続される第3のトランジスタとを具備することが望ましい。前記電流電圧変換回路は、前記第1回路の各々の前記第2のトランジスタのソース端子と前記接地端子又は前記電源端子の間に接続される第1の定電流源を更に具備し、前記第1回路の各々の前記第3のトランジスタのドレイン端子は共通に前記データ転送線に接続さ

れている。また、前記第1回路の各々の前記第3のトランジスタのゲートサイズは、外部から供給される $n$ ビットの前記第1の2値電圧データに応じて、 $2^i$ に比例する出力電流値を有するように設定されていることが望ましい。

また、前記電流比較回路は、前記 $(2^n-1)$ ビットに対応して並列に設けられた第2回路群を備え、前記第2回路の各々は、前記多値電流データの電流値が対応する閾値電流より大きいとき、対応するビットの論理値を”1”に設定してもよい。この場合、前記電流比較回路は、前記多値電流データをドレインに受け、ゲート端子が前記ドレインに接続され、ソース端子が接地端子又は電源端子に接続された第4のトランジスタと、前記第2回路群を備え、前記第2回路の各々は、ゲート端子が前記第4のトランジスタのゲート端子と接続され、ソース端子が共通の接地端子又は共通の電源端子に接続される第5のトランジスタと、前記第5のトランジスタのドレイン端子と電源端子又は接地端子の間に接続され、前記閾値電流を流す第2の定電流源とを具備し、前記電流比較回路は、LSBから前記閾値電流に対応するビットまで、論理値が”1”に設定された前記 $(2^n-1)$ ビットの前記第2の2値電流データを出力してもよい。また、前記第2の定電流源は、所定のステップ単位で異なる前記 $(2^n-1)$ の閾値電流を流し、前記電流比較回路は、最大の閾値電流に対応するビットをMSB、最小の閾値電流に対応するビットを前記LSBとする $(2^n-1)$ ビットの2値電流データを出力してもよい。

[0018] また、前記電流電圧変換回路は、前記2値電流データの前記 $(2^n-1)$ ビットにそれぞれ対応して並列に設けられた第3回路群を具備し、第3回路の各々は、前記 $(2^n-1)$ ビットの前記2値電流データの対応するビットを $(2^n-1)$ ビットの第2の2値電圧データの対応するビットに変換してもよい。この場合、前記電流電圧変換回路は、第3の定電流源と、前記第3回路群とを具備し、前記第3回路の各々は、共通の電源端子又は共通の接地端子又は接続されたソース端子と、ドレイン端子に接続されたゲート端子を有する第6のトランジスタと、前記 $(2^n-1)$ ビットのうちの対応するビットの前記2値電流データを入力するゲート端子と、前記第3の定電流源と接続されたソース端子と、前記第6のトランジスタの前記ドレイン端子に接続されたドレイン端子を有する第7のトランジスタとを具備してもよい。

[0019] また、前記計数回路は、前記 $(2^n-1)$ ビットの前記第2の2値電圧データのすべての

ビットの論理が”0”であった場合に、全てのビットが論理”0”である前記 $n$ ビットの前記第1の2値電圧データを復元し、前記 $(2^n-1)$ ビットの前記第2の2値電圧データのLSBから論理”1”のビットの数の2進数に対応する前記 $n$ ビットの前記第1の2値電圧データを復元する論理回路を具備してもよい。この場合、前記計数回路は、下位側3ビットのためのビット判定回路を具備し、前記ビット判定回路は、前記下位3ビットが論理”1”のとき論理”1”を出力する第1の3ビット入力AND回路と、第3ビットのみが論理”1”のとき論理”1”を出力する第2の3ビット入力AND回路と、前記第1の3ビット入力AND回路の出力と前記第2の3ビット入力AND回路の出力の論理和を計算するOR回路を具備してもよい。

[0020] また、本発明の他の観点では、出力回路は、 $n$ ビット( $n$ は2以上の整数)の2値電圧データ $X_i$  ( $i$ は0以上で $n-1$ 以下の整数)を入力する入力部と、 $2^i$ に比例する電流値を出力するカレントミラー回路群とを具備し、前記カレントミラー回路群の出力電流を重ね合わせることによって前記2値電圧データ $X_i$ に応じて $\sum 2^i X_i$ に比例する電流値を生成する。

また、本発明の他の観点では、出力回路は、 $n$ ビット( $n$ は2以上の整数)の2値電圧データ $X_i$  ( $i$ は0以上で $n-1$ 以下の整数)を入力する入力部と、前記2値電圧データ $X_i$ の前記 $n$ ビットの各ビットに対して設けられ、電源端子又は接地端子に接続されたソース端子と、互いに接続されるゲート端子とドレイン端子とを有する第1のトランジスタと、前記各ビットに対して設けられ、前記2値電圧データ $X_i$ を与えられるゲート端子と、前記第1のトランジスタのドレイン端子に接続されたドレイン端子とを有する第2のトランジスタと、前記各ビットに対して設けられ、電源端子又は接地端子に接続されたソース端子と、前記第1のトランジスタのゲート端子に接続されたゲート端子と、多値電流データ出力線に接続されるドレイン端子とを有する第3のトランジスタと、前記 $n$ ビットに対して設けられ、前記第2のトランジスタのソース端子と前記接地端子又は前記電源端子の間に接続される定電流源とを具備し、前記2値電圧データ $X_i$ に応じて $\sum 2^i X_i$ に比例する電流値を持つ多値電流データを前記多値電流データ出力線に出力する。

[0021] また、本発明の他の観点では、出力回路は、第1のトランジスタ乃至第3トランジスタ

が、外部から供給される $n$ ビット( $n$ は2以上の整数)の2値電圧データ $X_i$  ( $i$ は0以上で $n-1$ 以下の整数)の前記 $n$ ビットにそれぞれ対応して並列に配置された第1のトランジスタ乃至第3トランジスタの組を具備し、

前記第1のトランジスタ及び前記第3のトランジスタのソース端子が共通の電源端子又は共通の接地端子に接続され、前記第2のトランジスタのソース端子が共通の定電流に接続され、前記第3のトランジスタのドレイン端子が共通の多値電流データ線に接続され、前記2値電圧データ $X_i$ に応じて $\sum 2^i X_i$ に比例する電流値を前記共通の多値電流データ出力線に出力する。この場合、前記第3のトランジスタのサイズが、前記2値電圧データ $X_i$ に応じて $2^i$ に比例する出力電流値になるように設定されていることが望ましい。

[0022] また、本発明の他の観点では、入力回路は、電流比較回路と、電流電圧変換回路とを具備する。前記電流比較回路は、 $2^n$ 値( $n$ は2以上の整数)の単一の多値電流データを入力する入力部と、 $(2^n-1)$ 個の独立したカレントミラー回路と、前記多値電流データは前記 $(2^n-1)$ 個のカレントミラー回路に展開され、前記多値電流データの前記 $2^n$ 値に対応する閾値電流を前記 $(2^n-1)$ 個のカレントミラー回路にそれぞれ供給する $(2^n-1)$ 個の閾値電流源とを具備し、前記 $(2^n-1)$ 個のカレントミラー回路の各々の電流駆動能力と前記 $(2^n-1)$ 個の閾値電流源のうちの対応するものからの前記閾値電流に基づいて、 $(2^n-1)$ ビットのうちの対応するビットの2値電流データを出力し、前記電流電圧変換回路は、前記 $(2^n-1)$ ビットの前記2値電流データを前記 $(2^n-1)$ ビットの2値電圧データに変換する。この場合、前記電流比較回路は、前記 $(2^n-1)$ ビットの各ビットに対して設けられ、前記多値電流データが与えられるドレイン端子と、前記ドレイン端子に接続されたゲート端子と、共通の接地端子又は共通の電源端子に接続されたソース端子とを有する第4のトランジスタと、前記各ビットに対して設けられ、前記第4のトランジスタのゲート端子と接続されたゲート端子と、前記共通の接地端子又は前記共通の電源端子に接続されたソース端子とを有する第5のトランジスタと、前記各ビットに対して設けられ、前記第5のトランジスタのドレイン端子と前記共通の電源端子又は前記共通の接地端子の間に接続される定電流源とを具備してもよい。

- [0023] また、本発明の他の観点では、入力回路は、電流比較回路と、電流電圧変換回路と具備する。前記電流比較回路は、外部から供給される $2^n$ 値( $n$ は2以上の整数)の単一の多値電流データ入力に対して、並列に配置された、第5のトランジスタと前記多値電流データを判別するために使用される閾値電流を出力する閾値電流源の( $2^n-1$ )個の組を具備し、前記電流比較回路は、前記第5のトランジスタのソース端子が共通の接地端子又は共通の電源端子に接続され、前記閾値電流源が共通の電源端子又は共通の接地端子に接続され、前記多値電流データと前記閾値電流源からの前記閾値電流に基づいて( $2^n-1$ )ビットの2値電流データを出力し、前記電流電圧変換回路は、前記( $2^n-1$ )ビットの前記2値電流データを前記( $2^n-1$ )ビットの2値電圧データに変換する。この場合、前記電流比較回路は、前記第5のトランジスタのドレイン電流と前記閾値電流源の前記閾値電流とに基づいて、前記( $2^n-1$ )ビット中の、前記多値電流データに対応するビットを検出し、最大の閾値電流に対応するビットを最上位ビットとする前記( $2^n-1$ )ビットの前記2値電流データを出力してもよい。
- [0024] また、前記電流電圧変換回路は、前記( $2^n-1$ )ビットの前記2値電流データ入力に対して、並列に配置された( $2^n-1$ )個の回路部を具備し、前記( $2^n-1$ )個の回路部の各々は、第6のトランジスタ及び第7のトランジスタを具備し、前記第6のトランジスタのソース端子が共通の電源端子又は共通の接地端子に接続され、前記第6のトランジスタのゲート端子とドレイン端子が接続され、前記第7のトランジスタのソース端子が第3の定電流源に接続され、前記第7のトランジスタのゲート端子に前記( $2^n-1$ )ビットのうちの対応するビットの前記2値電流データが入力され、前記第7のトランジスタのドレイン端子と接続される前記第6のトランジスタのドレイン端子から前記対応するビットの前記2値電圧データが出力されてもよい。この場合、前記第3の定電流源は、前記2値電流データの前記( $2^n-1$ )ビットの各々に対して、論理"0"または"1"を示す電圧レベルを有する前記2値電圧データが出力されるように設定され、前記電流電圧変換回路は、最上位ビットの2値電流データに対応する2値電圧データを最上位ビット、最下位ビットの2値電流データに対応する2値電圧データを最下位ビットとする前記( $2^n-1$ )ビットの前記2値電圧データを出力してもよい。
- [0025] また、半導体装置は、上記の出力回路を具備してもいいし、上記の入力回路を具備し



てもよい。また、電子装置は、上記の出力回路を具備してもいいし、上記の入力回路を具備してもよい。

### 図面の簡単な説明

[0026] [図1]図1は、プラズマディスプレイパネルを含む第1従来例のデジタル画像処理装置の構成を示すブロック図である。

[図2]図2は、第2従来例のデータ伝送システムの構成を示すブロック図である。

[図3]図3は、本発明のデータ転送回路の構成を示すブロック図である。

[図4]図4は、本発明の第1実施例によるデータ転送回路の詳細な回路構成を示す回路図である。

[図5]図5は、本発明の第2実施例によるデータ転送回路の回路構成を示す回路図である。

[図6]図6は、閾値電流源と、16値電流データの論理の関係を示す図である。

[図7]図7は、本発明の第3実施例によるデータ転送回路の回路構成を示す回路図である。

[図8]図8は、本発明の第4実施例によるデータ転送回路の回路構成を示す回路図である。

[図9]図9は、本発明が適用される電子装置の第1応用例を示す回路図である。

[図10]図10は、本発明が適用される電子装置の第2応用例を示す回路図である。

[図11]図11は、本発明が適用される電子装置の第2応用例を示す回路図である。

[図12]図12は、本発明が適用される電子装置の第3応用例を示す回路図である。

[図13]図13は、本発明が適用される電子装置の第4応用例としてのチューナーを示す回路図である。

[図14]図14は、本発明が適用される電子装置の第5応用例としてのパーソナルコンピュータを示す回路図である。

[図15]図15は、本発明の多値電流データ転送方式が適用されたカラーPDPモジュールの回路構成を示す回路図である。

[図16]図16は、従来のデータドライバが適用されたワイドXGAカラーPDPモジュールの回路構成を示す回路図である。

## 発明を実施するための最良の形態

[0027] 以下に、本発明のデータ転送回路を、添付図面を参照して詳細に説明する。

図3は、本発明のデータ転送回路の構成を示すブロック図である。この例では、16値電流データが転送される。図3を参照して、データ転送回路は、電圧電流変換回路101、データ転送部102、電流比較回路103、電流電圧変換回路104、および計数回路105を具備している。

[0028] 電圧電流変換回路101は送信側に設けられている。電圧電流変換回路101に外部より供給された4ビットの2値電圧データ( $X_3, X_2, X_1, X_0$ )は、電圧電流変換回路101によって、 $2^0X_0 + 2^1X_1 + 2^2X_2 + 2^3X_3$ に比例する16値電流データに変換される。電圧電流変換回路101から出力される16値電流データは、データ転送部102により受信側に転送される。ここで2値電圧データは、論理"0"または論理"1"のいずれかを取り、16値電流データは論理"0"から論理"15"までのいずれかをとる。

[0029] 受信側において、16値電流データは、電流比較回路103によって各ビットの電流値に基づいて15ビットの2値電流データとして出力される。ここで2値電流データは、論理"0"または論理"1"のいずれかをとる。論理"0"の16値電流データは、全ビット論理"0"の2値電流データとして表わされ、論理"1"から論理"15"の16値電流データは、対応するビットの論理が"1"である2値電流データとして表わされる。

[0030] 次に、15ビットの2値電流データは電流電圧変換回路104によって、15ビットの2値電圧データに変換される。ここで15ビットの2値電圧データと16値電流データとの対応は15ビットの2値電流データの場合と同様である。

[0031] 最後に、計数回路105によって15ビットの2値電圧データの論理"1"の個数が計数され、元の4ビットの2値電圧データが復元される。

[0032] 図4は、本発明の第1実施例によるデータ転送回路の回路構成を示す回路図である。転送回路は、電圧電流変換回路201、データ転送線202、電流比較回路203、電流電圧変換回路204、および計数回路205を具備する。この回路構成は、16値電流データの転送のためのものであり、ビット数に依存して適宜変更される。

[0033] 電圧電流変換回路201は、送信側に設けられている。電圧電流変換回路201は、第1のPMOSTランジスタ群 $AP_3, AP_2, AP_1, AP_0$ 、第2のNMOSTランジスタ群BN

$_{3}$ 、 $BN_2$ 、 $BN_1$ 、 $BN_0$ 、第3のPMOSTランジスタ群 $CW_3$ 、 $CW_2$ 、 $CW_1$ 、 $CW_0$ と、第1の定電流源 $V_{ref1}$ を備えている。

第1のランジスタ $AP_3$ 、 $AP_2$ 、 $AP_1$ 、 $AP_0$ の各々において、ソース端子は電源端子に接続され、ゲート端子とドレイン端子が接続されている。さらに、第1のランジスタ $AP_3$ 、 $AP_2$ 、 $AP_1$ 、 $AP_0$ の各々のゲート端子は、第3のランジスタ $CW_3$ 、 $CW_2$ 、 $CW_1$ 、 $CW_0$ の対応するもののゲート端子に接続されている。さらに、第1のランジスタ $AP_3$ 、 $AP_2$ 、 $AP_1$ 、 $AP_0$ の各々のドレイン端子は、第2のランジスタ $BN_3$ 、 $BN_2$ 、 $BN_1$ 、 $BN_0$ の対応するもののドレイン端子に接続されている。第2のランジスタ群 $BN_3$ 、 $BN_2$ 、 $BN_1$ 、 $BN_0$ の各々において、ゲート端子に外部からの2値電圧データ $X_3$ 、 $X_2$ 、 $X_1$ 、 $X_0$ のうち対応するものが供給されている。第2のランジスタ $BN_3$ 、 $BN_2$ 、 $BN_1$ 、 $BN_0$ の各々のドレイン端子は、第1のランジスタ $AP_3$ 、 $AP_2$ 、 $AP_1$ 、 $AP_0$ のドレイン端子にそれぞれ接続されている。第2のランジスタ $BN_3$ 、 $BN_2$ 、 $BN_1$ 、 $BN_0$ のソース端子は、第1の定電流源 $V_{ref1}$ と接続されている。第3のランジスタ $CW_3$ 、 $CW_2$ 、 $CW_1$ 、 $CW_0$ では、ソース端子が電源端子に接続されている。第3のランジスタ $CW_3$ 、 $CW_2$ 、 $CW_1$ 、 $CW_0$ の各々のゲート端子は、第1のランジスタ $AP_3$ 、 $AP_2$ 、 $AP_1$ 、 $AP_0$ のうちの対応するもののゲート端子に接続されている。第3のランジスタ $CW_3$ 、 $CW_2$ 、 $CW_1$ 、 $CW_0$ の各々のドレイン端子は、共通ノードとしての多値電流データ出力線202に接続されている。第1の定電流源 $V_{ref1}$ は第2のランジスタ $BN_3$ 、 $BN_2$ 、 $BN_1$ 、 $BN_0$ のソース端子と接地の間に接続されている。

電圧電流変換回路201では、ランジスタの組 $(BN_0, AP_0, CW_0) \sim (BN_3, AP_3, CW_3)$ と第1の定電流源 $V_{ref1}$ により4組のカレントミラー回路が並列に形成されている。4組のカレントミラー回路は、第3のPMOSTランジスタ群 $CW_3$ 、 $CW_2$ 、 $CW_1$ 、 $CW_0$ から1:2:4:8の電流比をもつ電流を出力する。このために、第3のランジスタ $CW_1$ 、 $CW_2$ 、 $CW_3$ の各々は、第3のランジスタ $CW_0$ の2倍、4倍、8倍の電流値を出力可能であるようにゲートのサイズが設定されている。2値電圧データ $X_3$ 、 $X_2$ 、 $X_1$ 、 $X_0$ が第2のランジスタ群 $BN_3$ 、 $BN_2$ 、 $BN_1$ 、 $BN_0$ のゲート端子にそれぞれ供給されると、第3のランジスタ群 $CW_3$ 、 $CW_2$ 、 $CW_1$ 、 $CW_0$ のドレイン端子を流れる電流が重ね合わされ、 $2^0X_0 + 2^1X_1 + 2^2X_2 + 2^3X_3$ に比例する16値電流データとして共通ノードから1本の

配線であるデータ転送線202に出力される。第1の定電流源 $V_{ref1}$ は第2のトランジスタ $BN_3$ 、 $BN_2$ 、 $BN_1$ 、 $BN_0$ およびそれらにそれぞれ対応する第1のトランジスタ群 $AP_3$ 、 $AP_2$ 、 $AP_1$ 、 $AP_0$ を流れる電流の最大値を規定するために設けられている。

[0034] さらに、外部から供給される2値電圧データがnビットの場合が説明される。

電圧電流変換回路の第1のトランジスタ群 $AP_0 \sim AP_{n-1}$ と第3のトランジスタ群 $CW_0 \sim CW_{n-1}$ で構成されるn個の回路部分が、外部から供給されるnビットの2値電圧データに対して並列に配置される。回路部分の各々に含まれる第1のトランジスタ $AP_i$ と第3のトランジスタ $CW_i$ のソース端子が共通の電源端子に接続される。第2のトランジスタ群 $BN_0 \sim BN_{n-1}$ のソース端子が第1の定電流源 $V_{ref1}$ に接続される。第3のトランジスタ群 $CW_0 \sim CW_{n-1}$ のドレイン端子が共通ノードとしての多値電流データ出力線202に接続される。電圧電流変換回路201の出力が多値電流データ出力線202に行われる。さらに、電圧電流変換回路201の第3のトランジスタ群 $CW_0 \sim CW_{n-1}$ のサイズが、外部から供給されるnビットの2値電圧データの重みに応じて、 $2^i$  ( $i=0 \sim n-1$ ) に比例する出力電流値を有するように設定されている。送信側の電圧電流変換回路201から受信側の電流比較回路203へ、多値電流データ出力線202を介して、多値電流データが転送される。

[0035] 電流比較回路203は、第4のNMOSTトランジスタ $DN_1$ 、第5のNMOSTトランジスタ群 $EN_0 \sim EN_{14}$ 、および閾値電流源群 $I_0 \sim I_{14}$ からなる第2の定電流源 $V_{ref2}$ を備えている。第4のトランジスタ $DN_1$ において、多値電流データがドレイン端子に与えられる。第4のトランジスタ $DN_1$ のドレイン端子とゲート端子が接続され、ソース端子が接地される。第5のトランジスタ群 $EN_0 \sim EN_{14}$ の各々において、ゲート端子が第4のトランジスタ $DN_1$ のゲート端子と接続され、ソース端子が接地されている。第5のトランジスタ群 $EN_0 \sim EN_{14}$ の各々のドレイン端子は、閾値電流源群 $I_0 \sim I_{14}$ と接続される。閾値電流源群 $I_0 \sim I_{14}$ は、第5のトランジスタ群 $EN_0 \sim EN_{14}$ のドレイン端子と電源端子の間に接続されている。こうして、第4のトランジスタ $DN_1$ と第5のトランジスタ群 $EN_0 \sim EN_{14}$ の各々はカレントミラー回路を構成している。

[0036] 第5のトランジスタ群 $EN_0 \sim EN_{14}$ の各々は第4のトランジスタ $DN_1$ と同等の電流値の電流を流せるようにゲートのサイズが設定されている。データ転送線202から第4

のトランジスタ $DN_1$ に供給される16値電流データを15個複製する役割を果たす。さらに第5のトランジスタ群 $EN_0 \sim EN_{14}$ と直列に接続された閾値電流源 $I_0 \sim I_{14}$ の各々は閾値電流を対応する第5のトランジスタに供給する。閾値電流は、電圧電流変換回路201の供給される2値電圧データにより示される15値に対応している。例えば、第5のNMOSTランジスタ $EN_i$ に閾値電流 $I_i$ が供給される。これにより、16値電流データに基づいて第5のNMOSTランジスタ $EN_i$ が流そうとする電流の値が、閾値電流 $I_i$ より小さいとき、第5のNMOSTランジスタのソースドレイン間電圧が増加する。反対に、16値電流データに基づいて第5のNMOSTランジスタ $EN_i$ が流そうとする電流の値が、閾値電流 $I_i$ より大きいとき、第5のNMOSTランジスタのソースドレイン間電圧が減少する。こうして、16値電流データと各閾値電流との大小比較が行われ、第5のトランジスタ群 $EN_0 \sim EN_{14}$ の各々のドレイン端子にそれぞれ比較結果として15ビットの2値電流データが、時系列的ではなく、同時に得られる。ここで最も大きな閾値電流源との比較結果を最上位ビットMSB、最も小さな閾値電流源との比較結果を最下位ビットLSBとする。第5のNMOSTランジスタ $EN_0 \sim EN_{14}$ の各々と第4のNMOSTランジスタ $DN_1$ はカレントミラー回路を構成する。閾値電流源群 $I_0 \sim I_{14}$ は対応するミラー回路に閾値電流を供給している。

[0037] ただし、図6に示されるように、閾値電流源群 $I_0 \sim I_{14}$ は、16値電流データの論理”0”から論理”15”を判別可能な値に設定されているものとする。例えば閾値電流源 $I_0$ は16値電流データの論理”0”とそれ以上(論理”1”から論理”15”)を判別可能な値、閾値電流源 $I_1$ は16値電流データの論理”1”以下(論理”0”および論理”1”)とそれ以上(論理”2”から論理”15”)を識別可能な値、閾値電流源 $I_{14}$ は16値電流データの論理”14”以下(論理”0”から論理”14”)とそれ以上(論理”15”)を識別可能な値に設定されている。

[0038] 外部から供給される2値電圧データが $n$ ビットの場合が説明される。電流比較回路203において、第5のトランジスタ群 $EN_0 \sim EN_{2^n-2}$ と閾値電流源群 $I_0 \sim I_{2^n-2}$ で構成される回路部分が、 $2^n$ 値の多値電流データ入力に対して $2^n-1$ 個並列に配置される。回路部分の各々に含まれる第5のトランジスタ $EN_0 \sim EN_{2^n-2}$ のソース端子が接地され、閾値電流源群 $I_0 \sim I_{2^n-2}$ が共通の電源端子に接続され、第5のトランジスタ群 $EN_0 \sim EN_{2^n-2}$

$2^{n-2}$  のドレイン端子から電流比較回路203の比較結果が出力される。電流比較回路203の閾値電流源群  $I_0 \sim I_{2^{n-2}-1}$  は、 $2^n$  値の多値電流データを判別可能な  $2^n - 1$  種類の電流閾値をもつように設定されている。電流比較回路203は、多値電流データ入力値と各電流閾値とを比較し、最も大きな電流閾値による比較結果を最上位桁、最も小さな電流閾値による比較結果を最下位桁とする、 $2^n - 1$  桁の重みつき2値電流データを出力する。

[0039] 電流電圧変換回路204は、第6のPMOSTランジスタ群  $FP_0 \sim FP_{14}$  および第7のNMOSTランジスタ群  $GN_0 \sim GN_{14}$ 、および第3の定電流源  $V_{ref3}$  を備えている。第6のランジスタ群  $FP_0 \sim FP_{14}$  の各々において、ソース端子が電源端子に接続され、ゲート端子がドレイン端子と接続されている。さらに、第6のランジスタ群  $FP_0 \sim FP_{14}$  の各々のゲート端子は計数回路205と接続されている。さらに、第6のランジスタ群  $FP_0 \sim FP_{14}$  の各々のドレイン端子は、第7のランジスタ群  $GN_0 \sim GN_{14}$  の対応するもののドレイン端子と接続されている。第7のランジスタ群  $GN_0 \sim GN_{14}$  の各々において、ゲート端子に電流比較回路203から対応するビットの2値電流データが供給されている。第7のランジスタ群  $GN_0 \sim GN_{14}$  の各々のドレイン端子は、第6のランジスタ群  $FP_0 \sim FP_{14}$  の対応するもののドレイン端子に接続されている。第7のランジスタ群  $GN_0 \sim GN_{14}$  の各々のソース端子は、第3の定電流源  $V_{ref3}$  と接続されている。第3の定電流源  $V_{ref3}$  は、第7のランジスタ群  $GN_0 \sim GN_{14}$  の各々のソース端子と接地端子の間に接続されている。

電流比較回路203では、16値電流データに基づいて第5のNMOSTランジスタ  $EN_i$  が流そうとする電流の値が、閾値電流  $I_i$  より小さいとき、第5のNMOSTランジスタのソースドレイン間電圧が増加する。反対に、16値電流データに基づいて第5のNMOSTランジスタ  $EN_i$  が流そうとする電流の値が、閾値電流  $I_i$  より大きいとき、第5のNMOSTランジスタのソースドレイン間電圧が減少する。電流電圧変換回路204では、16値電流データに基づいて第5のNMOSTランジスタ  $EN_i$  が流そうとする電流の値が、閾値電流  $I_i$  より小さいとき、第7のランジスタ  $GN_i$  のゲート電圧は高くなり、第7のランジスタ  $GN_i$  はオンし、対応するビットは論理"0"になる。一方、16値電流データに基づいて第5のNMOSTランジスタ  $EN_i$  が流そうとする電流の値が、閾値電流  $I_i$  より

大きいとき、第7のトランジスタ $GN_1$ のゲート電圧は低くなり、第7のトランジスタ $GN_1$ はオフし、対応するビットは論理”1”になる。こうして、電流比較回路203の出力である15ビットの2値電流データを適正な電圧レベルをもつ15ビットの2値電圧データに変換して出力する。第3の定電流源 $V_{ref3}$ は出力電圧のレベルシフトを行うために設けられている。

[0040] さらに、外部から供給される2値電圧データが $n$ ビットの場合が説明される。

電流電圧変換回路の第6のトランジスタ群 $FP_0 \sim FP_{2^n-2}^n$ および第7のトランジスタ群 $GN_0 \sim GN_{2^n-2}^n$ で構成される回路部分が、 $2^n-1$ 個の2値電流データ入力に対して $2^n-1$ 個並列に配置されている。回路部分の各々に含まれる第6のトランジスタ群 $FP_0 \sim FP_{2^n-2}^n$ の各々のソース端子が共通の電源端子に接続される。第7のトランジスタ群 $GN_0 \sim GN_{2^n-2}^n$ の各々のソース端子が第3の定電流源 $V_{ref3}$ に接続される。第6のトランジスタ群 $FP_0 \sim FP_{2^n-2}^n$ の各々のドレイン端子から電流電圧変換回路204の変換結果が出力される。電流電圧変換回路204の第3の定電流源 $V_{ref3}$ が、 $2^n-1$ 桁の2値電流データに対して、論理”0”または論理”1”を示す2値電圧データとして判別可能な電圧レベルを出力するように設定されている。こうして、電流電圧変換回路204は、最上位桁の2値電流データに対応する2値電圧データを最上位桁、最下位桁の2値電流データに対応する2値電圧データを最下位桁とする、 $2^n-1$ 桁の重みつき2値電圧データを出力する。

[0041] また、計数回路205は、電流電圧変換回路の出力である15ビットの2値電圧データから、電圧電流変換回路201に供給される元の4ビット入力データ $X_3, X_2, X_1, X_0$ を復元する論理回路であり、その動作は図示された真理値表に従う。計数回路205は、いわゆるデコーダである。計数回路は、 $2^n-1$ 個の2値電圧データ入力に関して、すべて論理”0”であった場合に $n$ ビットの出力を”0”とし、論理”1”の個数を $n$ ビットの2進数に対応付ける論理回路を具備する。

[0042] 図5は、本発明のデータ転送回路の第2の実施例を示す回路図である。この例では、4値電流データの転送の例を示す。

転送回路は、電圧電流変換回路301、データ転送線302、電流比較回路303、電流電圧変換回路304、および計数回路305を備える。上記の第1の実施例に示す電

圧電流変換回路201、電流比較回路203、電流電圧変換回路204、および計数回路205を4値電流データに適用するために必要な変更を除き、動作は同等である。

- [0043] 計数回路305では、3入力AND回路305-1〜305-4とOR回路306と307を有している。AND回路305-2は、電流電圧変換回路204から出力される3ビットの2値電圧データの第0ビットと第1ビットを反転入力している。また、AND回路305-4は、第3ビットを反転入力している。AND回路305-1と305-2の出力はOR回路306に供給されており、AND回路305-3と305-4の出力はOR回路307に供給されている。こうして、2ビット2値電圧データに対して図4に示される真理値表が実現されている。こうして、最下位の3ビットについては上記の例に従って、3ビットの電圧データが2ビットの2値電圧データに変換される。

上位の4ビットの電圧データに対しても、同様にして、2ビットの2値電圧データに変換されることは明らかであろう。

- [0044] 以上、16値および4値の多値電流データのデータ転送回路が詳細に説明されたが、より高次の多値化を含めた任意の多値電流データ転送に対しても、本発明が原理的に適用可能であることは明らかであろう。

- [0045] 本発明のデータ転送回路は、送信側において2値電圧データが2値電流データに変換されて転送される。従って、ノイズの影響を受けにくい。さらに、電圧電流変換回路201の第3のトランジスタ群 $CW_0 \sim CW_{n-1}$ のサイズが、外部から供給されるnビットの2値電圧データの重みに応じて、 $2^i$  ( $i=0 \sim n-1$ ) に比例する出力電流値を有するように設定されている。従って、ノイズの影響を受けにくく、2値電圧データから多値電流データの変換するために必要なハードウェア量が従来の回路より少ない。

本発明のデータ転送方法および回路は、受信側において多値電流データから元の2値電圧データへの復元を従来の回路より高速に行うことができる。

- [0046] 次に、本発明の第3実施例によるデータ転送回路について図7を参照して、説明する。図7を参照して、第3実施例のデータ転送回路は、電圧電流変換回路201、データ転送部202、電流比較回路203、電流電圧変換回路204A、及び計数回路205を備えている。本発明の第3実施例によるデータ転送回路は、基本的に第1実施例のデータ転送回路と同様である。異なる点は、電流電圧回路204Aの構成が異なる点



である。

- [0047] 電流電圧変換回路204Aは、第6のPMOSTランジスタ群 $FP_0 \sim FP_{14}$ および第7のNMOSTランジスタ群 $GN_0 \sim GN_{14}$ 、および第3の定電流源 $V_{ref3}$ を備えている。第3の定電流源 $V_{ref3}$ は、電源端子に接続されている。第6のランジスタ群 $FP_0 \sim FP_{14}$ の各々において、ソース端子が第3の定電流源 $V_{ref3}$ に接続され、ゲート端子に電流比較回路203から対応するビットの2値電流データが供給されている。第6のランジスタ群 $FP_0 \sim FP_{14}$ の各々のドレイン端子は、計数回路205と接続されている。第7のランジスタ群 $GN_0 \sim GN_{14}$ の各々のソース端子は、第6のランジスタ群 $FP_0 \sim FP_{14}$ の対応するもののドレイン端子に接続されている。第7のランジスタ群 $GN_0 \sim GN_{14}$ の各々のゲートは、そのドレイン端子に接続されている。第7のランジスタ群 $GN_0 \sim GN_{14}$ の各々のソース端子は、接地されている。電流電圧変換回路204Aは、電流比較回路203の出力である15ビットの2値電流データを適正な電圧レベルをもつ15ビットの2値電圧データに変換して出力する。第3の定電流源 $V_{ref3}$ は出力電圧のレベルシフトを行うために設けられている。
- [0048] 上記のように、第3実施例のデータ転送回路では、図4の電流電圧変換回路204の第7のNMOSTランジスタ群と第6のPMOSTランジスタの役割が入れ替えられ、電流比較回路203の出力がPMOSTランジスタ $FP_0 \sim FP_{14}$ に与えられている。また、NMOSTランジスタ $GN_0 \sim GN_{14}$ の各々のドレイン出力が計数回路に与えられ、元の入力データ $X_0 \sim X_3$ が復元される。
- [0049] 次に、本発明の第4実施例によるデータ転送回路について図8を参照して、説明する。図8を参照して、第4実施例のデータ転送回路は、電圧電流変換回路201A、データ転送部202、電流比較回路203A、電流電圧変換回路204、及び計数回路205を備えている。本発明の第4実施例によるデータ転送回路は、基本的に第1実施例のデータ転送回路と同様である。異なる点は、電圧電流変換回路201Aと電流比較回路203Aの構成が異なる点である。
- [0050] 電圧電流変換回路201Aは、送信側に設けられている。電圧電流変換回路201Aは、第1のPMOSTランジスタ群 $AP_3, AP_2, AP_1, AP_0$ 、第2のNMOSTランジスタ群 $BN_3, BN_2, BN_1, BN_0$ 、第3のNMOSTランジスタ群 $CW_3, CW_2, CW_1, CW_0$ と、イ

ンバータ群 $IV_0 \sim IV_3$ 、第1の定電流源 $V_{ref1}$ を備えている。電圧電流変換回路201Aでは、トランジスタの組 $(BN_0, AP_0, CW_0) \sim (BN_3, AP_3, CW_3)$ と第1の定電流源 $V_{ref1}$ により4組のカレントミラー回路が並列に形成されている。

[0051] 第1の定電流源 $V_{ref1}$ は電源端子に接続されている。第1のトランジスタ群 $AP_3, AP_2, AP_1, AP_0$ の各々において、ソース端子は第1の定電流源 $V_{ref1}$ に接続されている。ゲート端子には、インバータ群 $IV_0 \sim IV_3$ のうち対応するものを介して2値電圧データが供給されている。第1のトランジスタ群 $AP_3, AP_2, AP_1, AP_0$ の各々のドレイン端子は、第2のトランジスタ群 $BN_3, BN_2, BN_1, BN_0$ の対応するもののドレイン端子に接続されている。第2のトランジスタ群 $BN_3, BN_2, BN_1, BN_0$ の各々のゲート端子は、そのドレイン端子に接続されている。第2のトランジスタ群 $BN_3, BN_2, BN_1, BN_0$ のソース端子は接地されている。また、第2のトランジスタ群 $BN_3, BN_2, BN_1, BN_0$ の各々のゲート端子は、第3のトランジスタ群 $CW_3, CW_2, CW_1, CW_0$ の対応するもののゲート端子に接続されている。第3のトランジスタ群 $CW_3, CW_2, CW_1, CW_0$ のソース端子も接地されている。さらに、第3のトランジスタ群 $CW_3, CW_2, CW_1, CW_0$ のドレイン端子は、共通データ転送部としての多値電流データ出力線202に接続されている。こうして、第2のトランジスタ群 $BN_3, BN_2, BN_1, BN_0$ と第3のトランジスタ群 $CW_3, CW_2, CW_1, CW_0$ の対応するものの組は、カレントミラー回路を構成している。

[0052] 4組のカレントミラー回路は、第3のPMOSTランジスタ群 $CW_3, CW_2, CW_1, CW_0$ から1:2:4:8の電流比をもつ電流を出力する。このために、第3のトランジスタ $CW_1, CW_2, CW_3$ の各々は、第3のトランジスタ $CW_0$ の2倍、4倍、8倍の電流値を出力可能であるようにゲートのサイズが設定されている。2値電圧データ $X_3, X_2, X_1, X_0$ が第1のトランジスタ群 $AP_3, AP_2, AP_1, AP_0$ のゲート端子に、インバータ群 $IV_0 \sim IV_3$ を介してそれぞれ供給されている。ゲート端子にそれぞれ供給されると、第3のトランジスタ群 $CW_3, CW_2, CW_1, CW_0$ のドレイン端子を流れる電流が重ね合わされ、 $2^0 X_0 + 2^1 X_1 + 2^2 X_2 + 2^3 X_3$ に比例する16値電流データとして共通ノードから1本の配線であるデータ転送線202に出力される。第1の定電流源 $V_{ref1}$ は第2のトランジスタ群 $BN_3, BN_2, BN_1, BN_0$ およびそれらにそれぞれ対応する第1のトランジスタ群 $AP_3, AP_2, AP_1, AP_0$ を流れる電流の最大値を規定するために設けられている。

- [0053] また、電流比較回路203Aは、第4のPMOSTランジスタ $DP_1$ 、第5のPMOSTランジスタ群 $EP_0 \sim EP_{14}$ 、および閾値電流源群 $I_0 \sim I_{14}$ からなる第2の定電流源 $V_{ref2}$ を備えている。第4のランジスタ $DP_1$ において、多値電流データがドレイン端子に与えられる。第4のランジスタ $DP_1$ のドレイン端子とゲート端子が接続され、ソース端子が電源端子に接続される。第5のランジスタ群 $EP_0 \sim EP_{14}$ の各々において、ゲート端子がそのドレイン端子と第4のランジスタ $DP_1$ のゲート端子とに接続され、ソース端子が電源端子に接続されている。第5のランジスタ群 $EP_0 \sim EP_{14}$ の各々のドレイン端子は、閾値電流源群 $I_0 \sim I_{14}$ と接続される。閾値電流源群 $I_0 \sim I_{14}$ は、第5のランジスタ群 $EP_0 \sim EP_{14}$ のドレイン端子と接地の間に接続されている。こうして、第4のランジスタ $DP_1$ と第5のランジスタ群 $EP_0 \sim EP_{14}$ の各々はカレントミラー回路を構成している。
- [0054] 第5のランジスタ群 $EP_0 \sim EP_{14}$ の各々は第4のランジスタ $DP_1$ と同等の電流値の電流を流せるようにサイズが設定されている。データ転送線202から第4のランジスタ $DP_1$ に供給される16値電流データを15個複製する役割を果たす。さらに第5のランジスタ群 $EP_0 \sim EP_{14}$ と直列に閾値電流源 $I_0 \sim I_{14}$ を配置することで、16値電流データと各閾値電流とに基づいて、第5のランジスタ群 $EP_0 \sim EP_{14}$ の各々のドレイン端子にそれぞれ比較結果として15ビットの2値電流データが得られる。ここで最も大きな閾値電流源との比較結果を最上位ビットMSB、最も小さな閾値電流源との比較結果を最下位ビットLSBとする。
- [0055] ただし、図6に示されるように、閾値電流源群 $I_0 \sim I_{14}$ は、16値電流データの論理”0”から論理”15”を判別可能な値に設定されているものとする。例えば閾値電流源 $I_0$ は16値電流データの論理”0”とそれ以上(論理”1”から論理”15”)を判別可能な値、閾値電流源 $I_1$ は16値電流データの論理”1”以下(論理”0”および論理”1”)とそれ以上(論理”2”から論理”15”)を識別可能な値、閾値電流源 $I_{14}$ は16値電流データの論理”14”以下(論理”0”から論理”14”)とそれ以上(論理”15”)を識別可能な値に設定されている。
- [0056] 電流電圧変換回路201Aにおいて、4ビットの2値電圧データ $X_0$ から $X_3$ をインバータ群 $IV_0 \sim IV_3$ で反転することにより得られる値が第1のランジスタ群 $AP_3, AP_2, AP_1, AP_0$ のゲート端子に供給される。第3のランジスタ群 $CW_3, CW_2, CW_1, CW_0$ の

ドレインは、電流比較回路203AのPMOSTランジスタ $DP_1$ からデータ転送線202を経由して、合計 $2^0X_0 + 2^1X_1 + 2^2X_2 + 2^3X_3$ に比例する16値電流データを吸入し、該電流データを電流比較回路203Aに与える。電流比較回路203Aの2値電流データ出力は、図4と同等な構成の電流電圧変換回路204により2値電圧データに変換され、計数回路204により元の4ビットの2値電圧データ $X_0 \sim X_3$ に復元される。尚、本実施例においても、電流電圧変換回路204に図7の電流電圧変換回路204Aが適用できることは明らかであろう。

[0057] 次に、本発明のデータ転送回路が適用された第1応用例としての電子装置について説明する。

図9は、本発明のデータ転送回路が半導体集積回路(LSI)間での多値データの転送に適用された電子装置の第1応用例を示している。電子装置は、第1のLSI601と、第2のLSI602と単一のデータ出力線605とを備えている。第1のLSI601は信号処理回路611と信号処理回路611から出力されるデジタルの4ビットデータを受けて、多値電流データに変換して電流データ出力線605上に出力する出力回路603を備えている。出力回路603は図4の電圧電流変換回路201と等価である。第2のLSI602は、外部から供給される多値電流データを受け、デジタル4ビットデータに変換する入力回路604と、入力回路604からのデジタル4ビットデータを受け、論理演算する信号処理回路612を具備する。入力回路604は図4の電流比較回路203、電流電圧変換回路204、計数回路205の組み合わせと等価である。

[0058] 図9は、第1のLSI601のデータ出力回路が電流出力、第2のLSI602の入力回路604が電流入力である場合のシステム構成を簡略的に示している。すなわち、第1のLSI601に配置された出力回路603からデータ出力線202を介して第2のLSI602に配置された入力回路604に多値化された電流データを伝送することができる、第1のLSI601にさらに入力回路604を、第2のLSI602にさらに出力回路603を配置することにより、第1のLSI601と第2のLSI602間で双方向に多値化された電流データを伝送することもできる。

[0059] 次に、本発明のデータ転送回路が適用された第2応用例としての電子装置について説明する。

図10は、本発明のデータ転送回路が半導体集積回路(LSI)間での多値データの転送に適用された電子装置の第2応用例を示している。電子装置は、第1のLSI606と、第2のLSI607とデータ出力線605とを備えている。第1のLSI606は信号処理回路611と信号処理回路611から出力されるデジタルの4ビットデータを受けて、多値電流データに変換して電流データ出力線202上に出力する出力回路608を備えている。出力回路608は図8の電圧電流変換回路201Aと等価である。第2のLSI607は、外部から供給される多値電流データを受け、デジタル4ビットデータに変換する入力回路609と、入力回路609からのデジタル4ビットデータを受け、論理演算する信号処理回路612を具備する。入力回路609は図8の電流比較回路203A、電流電圧変換回路204、計数回路205の組み合わせと等価である。電流電圧変換回路204に代えて、図7に示される電流電圧変換回路204Aを使用することも可能である。

[0060] 図10は、第2応用例におけるLSIの一部を示すブロック図である。ここでは、第1のLSI606のデータ出力回路608が電流入力、第2のLSI607の入力回路609が電流出力である場合のシステム構成を簡略的に示している。すなわち第1のLSI606に配置された出力回路608はデータ線202から電流データを吸い込み、第2のLSI607に配置された入力回路609はデータ線202に電流データを吐き出す。図10に示される第2応用例は、図9に示される出力回路603を出力回路608に、図9の入力回路604を入力回路609に置き換えた以外は図9と同じ構成である。

このようにして第1のLSI606から第2のLSI607に多値化された電流データを伝送することができる。第1のLSI606にさらに入力回路609を、第2のLSI607にさらに出力回路608を配置することにより、第1のLSI606と第2のLSI607間で双方向に多値化された電流データを伝送することもできる。

[0061] 次に、本発明のデータ転送回路が適用された第3応用例としての電子装置について説明する。

図11は、本発明のデータ転送回路が電子機器間での多値データの転送に適用された電子装置の第3応用例を示している。電子システムは、第1の電子機器701と、第2の電子機器702とデータ出力線705とを備えている。第1の電子機器701はテレビチューナー、第2の電子機器は、表示装置である。第1の電子機器701はチューナ

一部711と出力回路703を具備する。出力回路703からデータ線705を介して第2の電子機器702に配置された入力回路704に多値化された電流データが伝送されることができる。第2の電子機器702は入力回路704と表示部712を具備する。入力回路704は第1の電子機器701から外部データ線705を介して供給される多値化された電流データを受け、デジタルデータに変換し、表示部712に出力する。こうして、多値化データは表示される。ここで、出力回路703は図4の電圧電流変換回路201に、入力回路704は図4の電流比較回路203、電流電圧変換回路204、計数回路205に相当するものである。

[0062] 次に、本発明のデータ転送回路が適用された第4応用例としての電子装置について図12を参照して説明する。

図12は、本発明の出力回路を備えたテレビチューナーのブロック図である。テレビ放送の映像及び音声の電波が1つの受信アンテナで受信されるとき、複数のテレビ電波の中から受信しようとするチャンネルの電波を選択し、高周波増幅、スーパーヘテロダイン検波を行い、音声中間周波と映像中間周波は取り出すのがチューナー部720である。従来のチューナーの主な機能はこのチューナー部720の機能である。しかし図12に示されるテレビチューナーはデジタル出力を行うチューナーであるので、さらにY/C分離回路721と、A/D変換回路722と、同期信号制御回路723、出力回路724を具備する。ここで、出力回路703は図4の電圧電流変換回路201に相当するものである。

[0063] チューナー部720から出力される映像中間周波(アナログ映像信号)はY/C分離回路721においてRGBの各色の輝度信号に分解され、A/D変換回路722においてRGB各色のデジタル信号に変換される。このRGBのデジタル信号は出力回路724により多値電流データに変換され、外部に出力される。一方、同期信号制御回路723は映像中間周波に含まれている同期信号を検出し、これを基準としてデジタル同期信号及びデータクロック信号を生成し、外部に出力する。尚、デジタル同期信号をRGBのデジタル信号と共に多値電流に変換することもできる。このようにすることにより電子機器間のインターフェイス線の数を減らすことができる。更に、RGBのそれぞれの多値電流データではなく、RGBのデジタル信号を一本の多値電流データに変

換することもできる。これにより信号線は3本から1本に減らすことができる。

[0064] 図13は、本発明の入力回路が適用された第5応用例としての表示装置のブロック図である。ここでは、プラズマ表示を例に説明する。プラズマ表示装置は、デジタル信号処理・制御回路731とパネル部732から構成される。デジタル信号処理・制御回路731は、入力回路734と、フレームメモリ735、メモリ制御回路736、ドライバ制御回路737から構成される。入力回路734は、データクロック信号とRGBそれぞれの多値電流データを受信する。多値電流データには垂直同期信号、水平同期信号も含まれているものとする。入力回路734はデータクロック信号に同期して多値電流データを電流電圧変換する。入力回路734は図4の電流比較回路203、電流電圧変換回路204、計数回路205に相当する。多値電流データを電流電圧変換する方法は本明細書にて説明された方法による。垂直同期信号、水平同期信号は、変換されたRGBそれぞれmビットから成る3xmビットの2値電圧データの何れかに割り当てられている。そこで、入力回路729はRGBの多値電流データからRGBそれぞれm-1ビットのデジタルデータ信号と垂直同期信号、水平同期信号を再生する。デジタルデータ信号は、フレームメモリ735、メモリ制御回路736を用いて、垂直同期信号、水平同期信号に従い、パネル部732で表示される形式である表示データに変換され、パネル部32に転送される。ドライバ制御回路737はパネル部32に転送された表示データに対応してパネル部732を制御する。入力回路734に供給される多値電流データの画素構成とパネル部732の画素構成が異なる場合は、フレームメモリ735、メモリ制御回路736により画像フォーマット変換を行うこともある。

[0065] パネル部732は、PDPパネル750と、走査電極を駆動する走査ドライバ738と、データ電極を駆動するデータドライバ739と、PDPパネル750及び走査ドライバ738にパルス電圧を供給する高圧パルス回路740とを備えている。PDPパネル750は1365個×768個に配列された画素を有するものとして構成されている。PDPパネル750においては、走査ドライバ738が走査電極を制御し、データドライバ739がデータ電極を制御することにより、これらの画素のうちの所定の画素の点灯又は非点灯が制御され、所望の表示が行われる。

この第5応用例の表示装置では、データクロック信号とRGBそれぞれの多値電流

データにより表示データのソースとなる電子機器が接続されることができる。ただし、表示モードが複数ある場合は、表示モードを制御する制御信号が必要になる。この制御信号も多値電流データにて伝送されることができることは言うまでもない。

なお、図14では、データクロック信号は簡略化のため省略されている。他の実施例でもデータクロック信号は必要であるが、簡単化のために省略されている。

[0066] 図14は、本発明の出力回路が適用された第6応用例としてのパーソナルコンピュータを示すブロック図である。演算部801は従来のパーソナルコンピュータの機能を具備する回路部である。演算部801から表示用RGBデジタルデータ $3 \times k$ ビット( $k$ は2以上の整数)と、垂直同期信号1ビット、水平同期信号1ビット、データクロック1ビットが出力回路802に供給される。出力回路802はRのデジタルデータ $k$ ビットに垂直同期信号1ビットを加えた $k+1$ ビットの2値電圧データをRの多値電流データに、Gのデジタルデータ $k$ ビットに水平同期信号1ビットを加えた $k+1$ ビットの2値電圧データをGの多値電流データに、Bのデジタルデータ $k$ ビットにダミー信号1ビットを加えた $k+1$ ビットの2値電圧データをBの多値電流データに変換する。 $k+1$ ビットのデジタルデータを多値電流データに変換する方法は本発明の出力回路における電圧電流変換方法による。このようにして変換されたRGB各多値電流データと1ビットのデータクロックがパーソナルコンピュータの外部に出力される。

[0067] 出力回路802は図4の電圧電流変換回路201に相当する。ただし、図14では簡単のため入力がデジタル4ビット入力として記載されているが、実際は4ビット以上のビット構成が通常である。また簡単のため電圧電流変換回路は1系統しか記載されていないが、RGB各1系統が必要である。

このようにパーソナルコンピュータの表示データを従来のアナログRGB信号として出力する代わりにRGBの各多値電流データと1ビットのデータクロックとして出力することにより、第4の実施形態のテレビチューナーと同じ信号形式でデータ転送をすることができる。すなわち、表赤装置のインターフェースとしてのパソコンで従来から使われるアナログRGB信号と、テレビを含めたビデオ機器で従来から使われる映像中間周波(アナログ映像信号)をRGB各多値電流データと1ビットのデータクロックに統合することができる。



[0068] 次に、本発明のデータ転送回路が適用される第7応用例としてのカラーPDPモジュールについて説明する。プラズマディスプレイなどの表示装置とのインターフェースに多値電流データを用いる例を図15を参照して説明する。例として、カラープラズマディスプレイ(以下、カラーPDPと略記)モジュールの代表的なデータドライバ動作電圧を挙げると、入力信号は5V、出力信号は70Vである。

図16にデータドライバを256ビット出力4相入力として用いた従来のワイドXGA(W-XGA;1365x768画素)カラーPDPモジュール4の構成を示す。図16に示されるように、従来のカラーPDPモジュール4においては、デジタル信号・制御回路上の超高集積回路では3.3V以下の低電圧信号を用いた映像信号処理動作をしており、デジタル信号処理ボード1の出力段で5.0V信号に昇圧してデータドライバ2に送信している。データドライバは1ライン(1365画素)分のデータを同時にプラズマパネルに出力する。このため、WXGAパネルでは16個(1365x3[RGBそれぞれ1画素]/256=<16)の256ビット出力データドライバ2が必要である。

[0069] 各データドライバ2は、それぞれ4本の映像入力信号(Data)と、1本のクロック入力信号(CLK)と、1本のラッチイネーブル入力信号(LE)と、の合計6本の信号線を持つ。このため、デジタル信号処理ボード1からデータドライバ2へと出力される信号線3の数は6X16=96本となる。ここで、データドライバ2は、レジスタと、電圧を変換(増幅)するレベル変換回路と高電圧出力バッファと、を備えている。このデータドライバ2には、転送クロック信号に同期してデジタル信号処理ボード1から転送される映像データ信号が供給される。映像データ信号はデータドライバ2のレジスタに保存され、ラッチイネーブル信号の入力に同期してレベル変換回路に送られる。データドライバ2に供給される信号は全て5.0V振幅であり、データドライバ2において、レベル変換回路への入力までの部分(レジスタを含む)が低電圧動作部21であり、該低電圧動作部21においては、5.0V振幅で処理される。また、レベル変換回路は、該電圧変換部22であり、5.0V振幅の信号を70V振幅に増幅する。また、データドライバ2において、レベル変換回路以降の部分(高電圧出力バッファを含む)が高電圧動作部である。レベル変換回路から出力された高電圧信号は、高電圧出力バッファを介してPDPパネルに出力される、

- [0070] 図16の従来技術に本発明の多値電流データ転送方式を採用した例を図15に示す。図15に示されるように、デジタル信号・制御回路上のデータ転送回路811はメモリ回路811と出力回路812を具備する。メモリ回路ではデジタル2値のシリアルデータとして供給される信号を16個の256bit出力データドライバ802用に分ける処理を行い、4ビットX16ブロックのデータに分配する。ここまでは図7の例と同じ動作である。この4ビットのデータをそれぞれ16個の出力回路812に入力する。出力回路812は本発明の電圧電流変換を行う回路であり、2値電圧の4ビット入力を16値の多値電流データに変換する。すなわち、従来はそれぞれ4本の映像出力信号を出力データドライバに入力したが、本発明では1本の16値の多値電流データを出力データドライバに入力するのみである。他の信号は図16の場合と同様に必要である。従って、1本のクロック入力信号(CLK)と、1本のラッチイネーブル入力信号(LE)を加え、合計3本の信号線を持つ。従って、データ転送回路801からデータドライバ802へと出力される信号線の数は $3 \times 16 = 48$ 本と、図16の従来方式に比べて半減する。
- [0071] 第7応用例のデータドライバ802と図15のデータドライバ2の相違は入力段に入力回路821を具備する点である。入力回路821は、本発明の電流比較回路、電流電圧変換回路、計数回路を具備する入力回路であり、16値の多値電流データから2値電圧の4ビットを再生する。2値データに再生後のデータドライバ602の動作は、図16の従来例と同様である。すなわち、データドライバ802はレジスタ822と、電圧を変換(増幅)するレベル変換回路823と、高電圧出力バッファ824と、を備え、2値電圧に再生された映像データ信号はレジスタ822に保存され、ラッチイネーブル信号の入力に同期してレベル変換回路823に送られ、高電圧出力バッファ824を介してPDPパネル850に出力される。
- [0072] 以上述べたように、本発明のデータ転送方法および回路は、送信側においてノイズの影響を受けにくい。また、本発明のデータ転送方法および回路は、2値電圧データから多値電流データに変換するために必要なハードウェア量が従来の回路より少ない。更に、本発明のデータ転送方法および回路は、受信側において多値電流データから元の2値電圧データへの復元を従来の回路より高速に行う。

## 請求の範囲

- [1] デジタル画像処理装置のデータ転送方法において、  
nビット(nは2以上の整数)の第1の2値電圧データを $2^n$ 値の多値電流データに変換するステップと、  
前記多値電流データを単一のデータ線を介して転送するステップと、  
前記データ線上の前記多値電流データを $(2^n-1)$ ビットの2値電流データに変換するステップと、  
前記 $(2^n-1)$ ビットの前記2値電流データを $(2^n-1)$ ビットの第2の2値電圧データに変換するステップと、  
前記 $(2^n-1)$ ビットの前記第2の2値電圧データから前記nビットの前記第1の2値電圧データを復元するステップと  
を具備するデータ転送方法。
- [2] デジタル画像処理装置のデータ転送回路において、  
nビット(nは2以上の整数)の第1の2値電圧データを $2^n$ 値の多値電流データに変換する電圧電流変換回路と、  
前記多値電流データを転送する単一のデータ転送線と、  
前記データ転送線上の前記多値電流データを $(2^n-1)$ ビットの2値電流データに変換する電流比較回路と、  
前記 $(2^n-1)$ ビットの前記2値電流データを $(2^n-1)$ ビットの第2の2値電圧データに変換する電流電圧変換回路と、  
前記 $(2^n-1)$ ビットの前記第2の2値電圧データから前記nビットの前記第1の2値電圧データを復元する計数回路と  
を具備するデータ転送回路。
- [3] 請求項2に記載のデータ転送回路において、  
前記電圧電流変換回路は、前記nビットの各ビットに対応する値 $2^i$ (iは0以上n-1以下の整数)に比例する電流を生成し、生成された電流を重ね合わせることによって前記nビットの前記第1の2値電圧データに比例する電流値を有する前記 $2^n$ 値の前記多値電流データを前記データ転送線に出力する

データ転送回路。

- [4] 請求項2又は3に記載のデータ転送回路において、  
前記電流比較回路は、前記多値電流データを $(2^n-1)$ ビットに展開し、前記 $(2^n-1)$ ビットの各々において、前記多値電流データの電流値が対応する閾値電流より大きいか否かに基づいてそのビットの論理値が決定された前記 $(2^n-1)$ ビットの2値電流データを出力する  
データ転送回路。
- [5] 請求項2乃至4のいずれかに記載のデータ転送回路において  
前記電流電圧変換回路は、前記 $(2^n-1)$ ビットの前記2値電流データをビット単位で前記 $(2^n-1)$ ビットの前記第2の2値電圧データに変換する  
データ転送回路。
- [6] 請求項2乃至5のいずれかに記載のデータ転送回路において、  
前記計数回路は、前記 $(2^n-1)$ ビットの前記第2の2値電圧データを入力し、論理"1"を有するビット位置に基づいて前記第1の2値電圧データを復元する論理回路を具備する  
データ転送回路。
- [7] 請求項3に記載のデータ転送回路において、  
前記電圧電流変換回路は、前記 $n$ ビットに対応して並列に設けられた第1回路群を備え、  
前記第1回路の各々は、前記 $n$ ビットのうちの対応するビットに対応する値 $2^i$  ( $i$ は0以上 $n-1$ 以下の整数)に比例する電流を生成する  
データ転送回路。
- [8] 請求項7に記載のデータ転送回路において、  
前記第1回路の各々は、  
ソース端子が電源端子又は接地端子に接続され、ゲート端子とドレイン端子が接続される第1のトランジスタと、  
ゲート端子に外部からの前記 $n$ ビットのうちの前記対応するビットの第1の2値電圧データが与えられ、ドレイン端子が前記第1のトランジスタのドレイン端子に接続され

る第2のトランジスタと、

ソース端子が前記電源端子又は前記接地端子に接続され、ゲート端子が前記第1のトランジスタの前記ゲート端子に接続される第3のトランジスタとを具備し、

前記電圧電流変換回路は、前記第1回路の各々の前記第2のトランジスタのソース端子と前記接地端子又は前記電源端子の間に接続される第1の定電流源を更に具備し、

前記第1回路の各々の前記第3のトランジスタのドレイン端子は共通に前記データ転送線に接続されているデータ転送回路。

[9] 請求項8に記載のデータ転送回路において、

前記第1回路の各々の前記第3のトランジスタのゲートサイズは、外部から供給される $n$ ビットの前記第1の2値電圧データに応じて、 $2^i$ に比例する出力電流値を有するよう設定されているデータ転送回路。

[10] 請求項4に記載のデータ転送回路において、

前記電流比較回路は、前記 $(2^n - 1)$ ビットに対応して並列に設けられた第2回路群を備え、

前記第2回路の各々は、前記多値電流データの電流値が対応する閾値電流より大きいとき、対応するビットの論理値を"1"に設定するデータ転送回路。

[11] 請求項10に記載のデータ転送回路において

前記電流比較回路は、前記多値電流データをドレインに受け、ゲート端子が前記ドレインに接続され、ソース端子が接地端子又は電源端子に接続された第4のトランジスタと、前記第2回路群を備え、

前記第2回路の各々は、

ゲート端子が前記第4のトランジスタのゲート端子と接続され、ソース端子が共通の接地端子又は共通の電源端子に接続される第5のトランジスタと、

前記第5のトランジスタのドレイン端子と電源端子又は接地端子の間に接続され、前記閾値電流を流す第2の定電流源と

を具備し、

前記電流比較回路は、LSBから前記閾値電流に対応するビットまで、論理値が”1”に設定された前記 $(2^n-1)$ ビットの前記第2の2値電流データを出力するデータ転送回路。

[12] 請求項11に記載のデータ転送回路において、

前記第2の定電流源は、所定のステップ単位で異なる前記 $(2^n-1)$ の閾値電流を流し、

前記電流比較回路は、最大の閾値電流に対応するビットをMSB、最小の閾値電流に対応するビットを前記LSBとする $(2^n-1)$ ビットの2値電流データを出力するデータ転送回路。

[13] 請求項5に記載のデータ転送回路において、

前記電流電圧変換回路は、前記2値電流データの前記 $(2^n-1)$ ビットにそれぞれ対応して並列に設けられた第3回路群を具備し、

第3回路の各々は、前記 $(2^n-1)$ ビットの前記2値電流データの対応するビットを $(2^n-1)$ ビットの第2の2値電圧データの対応するビットに変換するデータ転送回路。

[14] 請求項13に記載のデータ転送回路において

前記電流電圧変換回路は、第3の定電流源と、前記第3回路群とを具備し、前記第3回路の各々は、

共通の電源端子又は共通の接地端子又は接続されたソース端子と、ドレイン端子に接続されたゲート端子を有する第6のトランジスタと、

前記 $(2^n-1)$ ビットのうちの対応するビットの前記2値電流データを入力するゲート端子と、前記第3の定電流源と接続されたソース端子と、前記第6のトランジスタの前記ドレイン端子に接続されたドレイン端子を有する第7のトランジスタとを具備するデータ転送回路。

[15] 請求項6に記載されたデータ転送回路において、

前記計数回路は、前記 $(2^n-1)$ ビットの前記第2の2値電圧データのすべてのビットの論理が”0”であった場合に、全てのビットが論理”0”である前記 $n$ ビットの前記第1

の2値電圧データを復元し、前記 $(2^n-1)$ ビットの前記第2の2値電圧データのLSBから論理”1”のビットの数の2進数に対応する前記nビットの前記第1の2値電圧データを復元する論理回路を具備するデータ転送回路。

- [16] 請求項15に記載されたデータ転送回路において、  
前記計数回路は、下位側3ビットのためのビット判定回路を具備し、  
前記ビット判定回路は、  
前記下位3ビットが論理”1”のとき論理”1”を出力する第1の3ビット入力AND回路と、  
第3ビットのみが論理”1”のとき論理”1”を出力する第2の3ビット入力AND回路と、  
前記第1の3ビット入力AND回路の出力と前記第2の3ビット入力AND回路の出力の論理和を計算するOR回路を  
具備するデータ転送回路。

- [17] nビット(nは2以上の整数)の2値電圧データ $X_i$  (iは0以上でn-1以下の整数)を入力する入力部と、  
 $2^i$ に比例する電流値を出力するカレントミラー回路群とを具備し、  
前記カレントミラー回路群の出力電流を重ね合わせることによって前記2値電圧データ $X_i$ に応じて $\sum 2^i X_i$ に比例する電流値を生成する出力回路。

- [18] nビット(nは2以上の整数)の2値電圧データ $X_i$  (iは0以上でn-1以下の整数)を入力する入力部と、  
前記2値電圧データ $X_i$ の前記nビットの各ビットに対して設けられ、電源端子又は接地端子に接続されたソース端子と、互いに接続されるゲート端子とドレイン端子とを有する第1のトランジスタと、  
前記各ビットに対して設けられ、前記2値電圧データ $X_i$ を与えられるゲート端子と、  
前記第1のトランジスタのドレイン端子に接続されたドレイン端子とを有する第2のトランジスタと、  
前記各ビットに対して設けられ、電源端子又は接地端子に接続されたソース端子と、  
前記第1のトランジスタのゲート端子に接続されたゲート端子と、多値電流データ出

力線に接続されるドレイン端子とを有する第3のトランジスタと、

前記 $n$ ビットに対して設けられ、前記第2のトランジスタのソース端子と前記接地端子又は前記電源端子の間に接続される定電流源とを具備し、

前記2値電圧データ $X_i$ に応じて $\sum 2^i X_i$ に比例する電流値を持つ多値電流データを前記多値電流データ出力線に出力する出力回路。

- [19] 第1のトランジスタ乃至第3トランジスタが、外部から供給される $n$ ビット( $n$ は2以上の整数)の2値電圧データ $X_i$  ( $i$ は0以上で $n-1$ 以下の整数)の前記 $n$ ビットにそれぞれ対応して並列に配置された第1のトランジスタ乃至第3トランジスタの組を具備し、前記第1のトランジスタ及び前記第3のトランジスタのソース端子が共通の電源端子又は共通の接地端子に接続され、前記第2のトランジスタのソース端子が共通の定電流に接続され、前記第3のトランジスタのドレイン端子が共通の多値電流データ線に接続され、前記2値電圧データ $X_i$ に応じて $\sum 2^i X_i$ に比例する電流値を前記共通の多値電流データ出力線に出力する出力回路。

- [20] 請求項19に記載の出力回路において、前記第3のトランジスタのサイズが、前記2値電圧データ $X_i$ に応じて $2^i$ に比例する出力電流値になるように設定されている出力回路。

- [21] 電流比較回路と、電流電圧変換回路とを具備し、前記電流比較回路は、 $2^n$ 値( $n$ は2以上の整数)の単一の多値電流データを入力する入力部と、 $(2^n-1)$ 個の独立したカレントミラー回路と、前記多値電流データは前記 $(2^n-1)$ 個のカレントミラー回路に展開され、前記多値電流データの前記 $2^n$ 値に対応する閾値電流を前記 $(2^n-1)$ 個のカレントミラー回路にそれぞれ供給する $(2^n-1)$ 個の閾値電流源と



を具備し、

前記 $(2^n-1)$ 個のカレントミラー回路の各々の電流駆動能力と前記 $(2^n-1)$ 個の閾値電流源のうちの対応するものからの前記閾値電流に基づいて、 $(2^n-1)$ ビットのうちの対応するビットの2値電流データを出力し、

前記電流電圧変換回路は、前記 $(2^n-1)$ ビットの前記2値電流データを前記 $(2^n-1)$ ビットの2値電圧データに変換する入力回路。

[22] 請求項21に記載の入力回路において、

前記電流比較回路は、

前記 $(2^n-1)$ ビットの各ビットに対して設けられ、前記多値電流データが与えられるドレイン端子と、前記ドレイン端子に接続されたゲート端子と、共通の接地端子又は共通の電源端子に接続されたソース端子とを有する第4のトランジスタと、

前記各ビットに対して設けられ、前記第4のトランジスタのゲート端子と接続されたゲート端子と、前記共通の接地端子又は前記共通の電源端子に接続されたソース端子とを有する第5のトランジスタと、

前記各ビットに対して設けられ、前記第5のトランジスタのドレイン端子と前記共通の電源端子又は前記共通の接地端子の間に接続される定電流源とを具備する入力回路。

[23] 電流比較回路と、

電流電圧変換回路と具備し、

前記電流比較回路は、

外部から供給される $2^n$ 値( $n$ は2以上の整数)の単一の多値電流データ入力に対して、並列に配置された、第5のトランジスタと前記多値電流データを判別するために使用される閾値電流を出力する閾値電流源の $(2^n-1)$ 個の組を具備し、

前記電流比較回路は、前記第5のトランジスタのソース端子が共通の接地端子又は共通の電源端子に接続され、前記閾値電流源が共通の電源端子又は共通の接地端子に接続され、前記多値電流データと前記閾値電流源からの前記閾値電流に

基づいて $(2^n-1)$ ビットの2値電流データを出力し、

前記電流電圧変換回路は、前記 $(2^n-1)$ ビットの前記2値電流データを前記 $(2^n-1)$ ビットの2値電圧データに変換する  
入力回路。

[24] 請求項23に記載の入力回路において、

前記電流比較回路は、前記第5のトランジスタのドレイン電流と前記閾値電流源の前記閾値電流とに基づいて、前記 $(2^n-1)$ ビット中の、前記多値電流データに対応するビットを検出し、最大の閾値電流に対応するビットを最上位ビットとする前記 $(2^n-1)$ ビットの前記2値電流データを出力する  
入力回路。

[25] 請求項21乃至24項のいずれかに記載の入力回路において、

前記電流電圧変換回路は、  
前記 $(2^n-1)$ ビットの前記2値電流データ入力に対して、並列に配置された $(2^n-1)$ 個の回路部を具備し、  
前記 $(2^n-1)$ 個の回路部の各々は、第6のトランジスタ及び第7のトランジスタを具備し、  
前記第6のトランジスタのソース端子が共通の電源端子又は共通の接地端子に接続され、前記第6のトランジスタのゲート端子とドレイン端子が接続され、  
前記第7のトランジスタのソース端子が第3の定電流源に接続され、前記第7のトランジスタのゲート端子に前記 $(2^n-1)$ ビットのうちの対応するビットの前記2値電流データが入力され、前記第7のトランジスタのドレイン端子と接続される前記第6のトランジスタのドレイン端子から前記対応するビットの前記2値電圧データが出力される  
入力回路。

[26] 請求項25に記載の入力回路において、

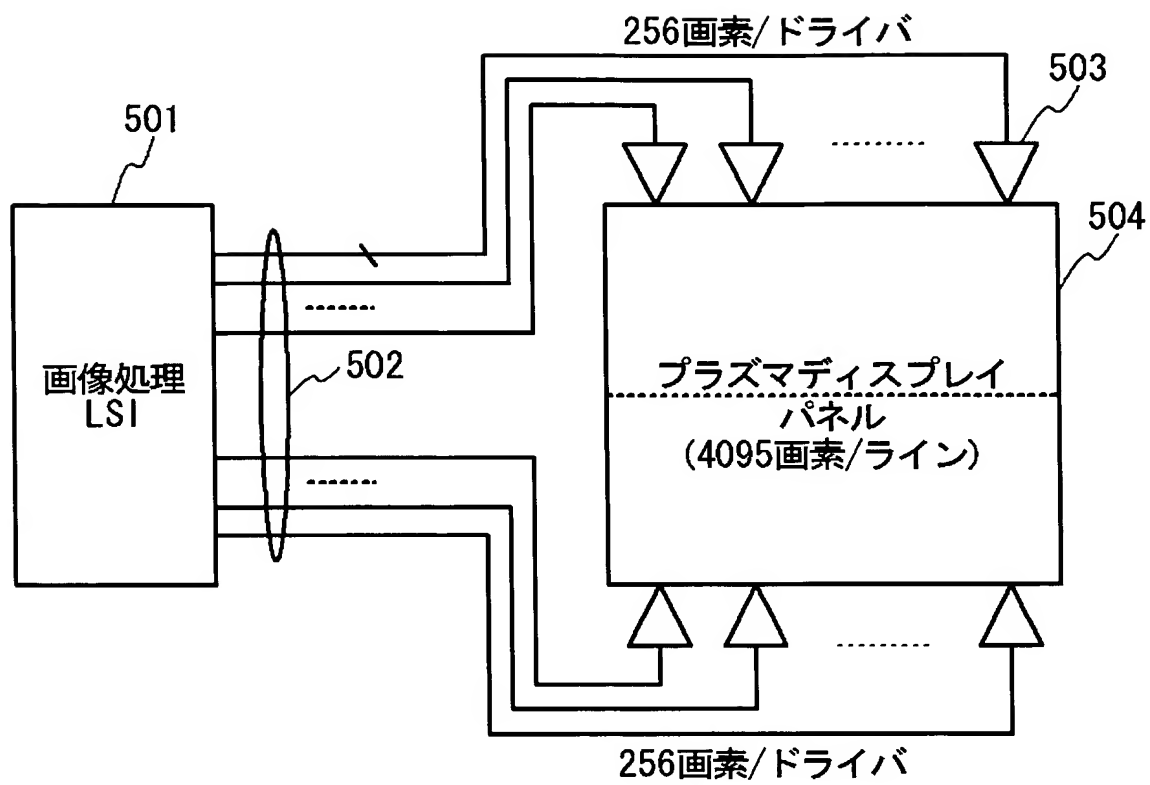
前記第3の定電流源は、前記2値電流データの前記 $(2^n-1)$ ビットの各々に対して、論理"0"または"1"を示す電圧レベルを有する前記2値電圧データが出力されるように設定され、

前記電流電圧変換回路は、最上位ビットの2値電流データに対応する2値電圧デ

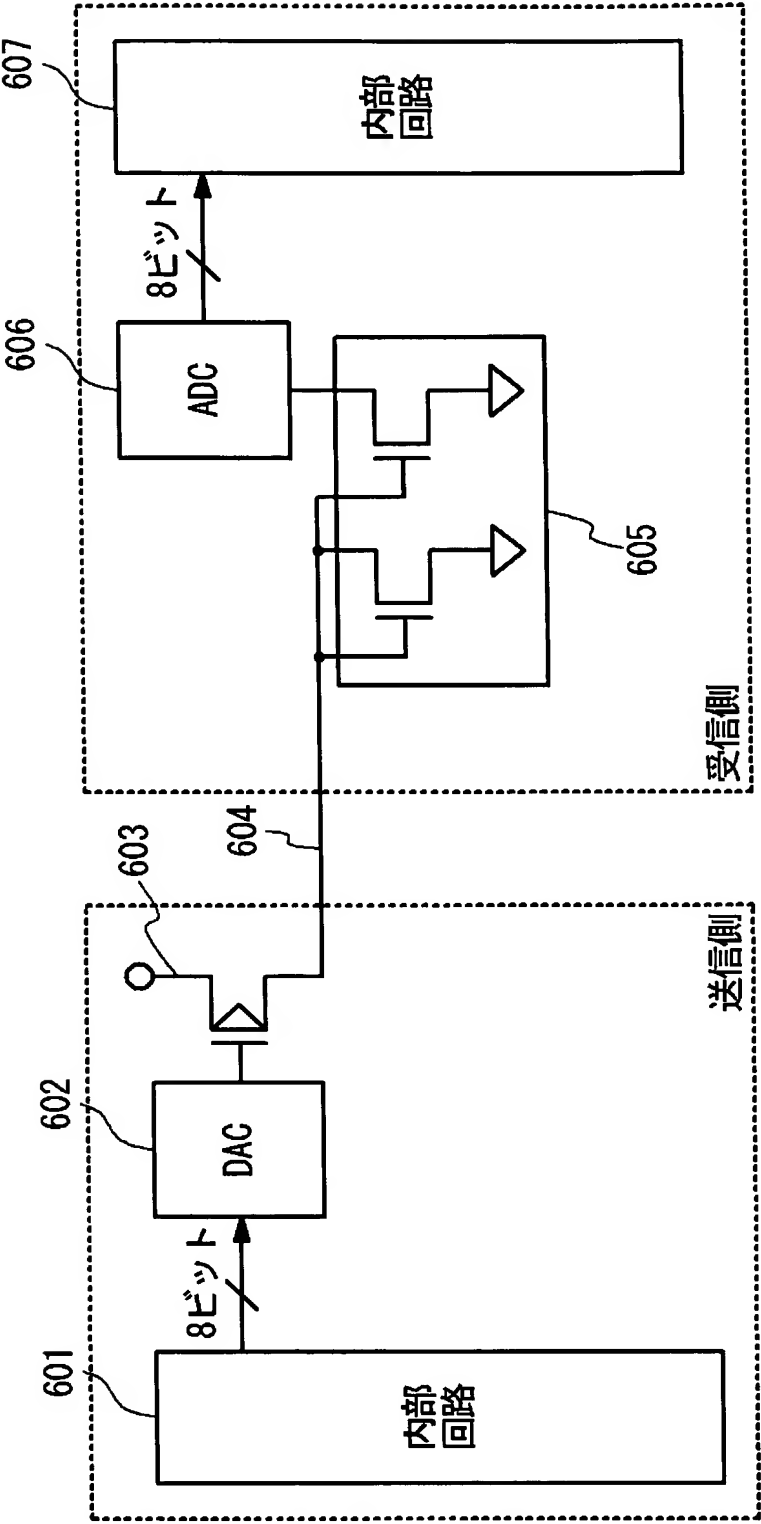
ータを最上位ビット、最下位ビットの2値電流データに対応する2値電圧データを最下位ビットとする前記 $(2^n-1)$ ビットの前記2値電圧データを出力する入力回路。

- [27]           請求項17乃至20の何れか一項に記載の出力回路を具備する半導体装置。
- [28]           請求項21乃至26の何れか一項に記載の入力回路を具備する半導体装置。
- [29]           請求項17乃至20何れか一項に記載の出力回路を具備し、前記単一の多値電流データが前記出力回路から出力される電子装置。
- [30]           請求項21乃至26の何れか一項に記載の入力回路を具備し、外部から供給される前記単一の多値電流データを2値電圧データに変換する電子装置。

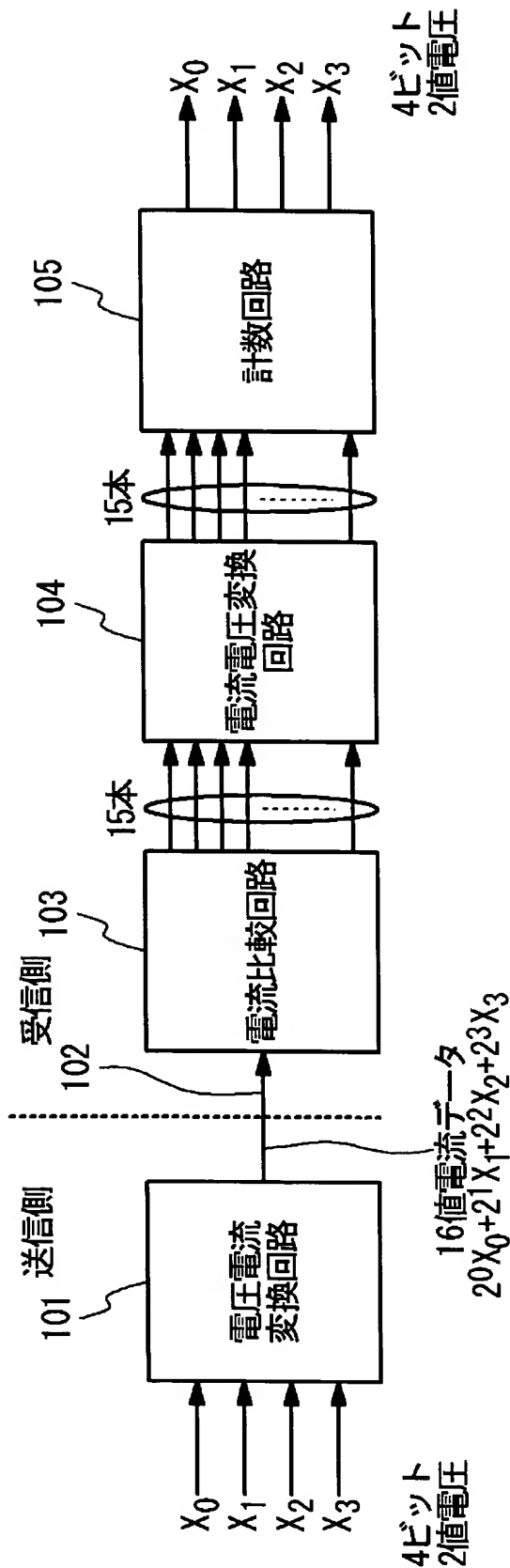
[図1]



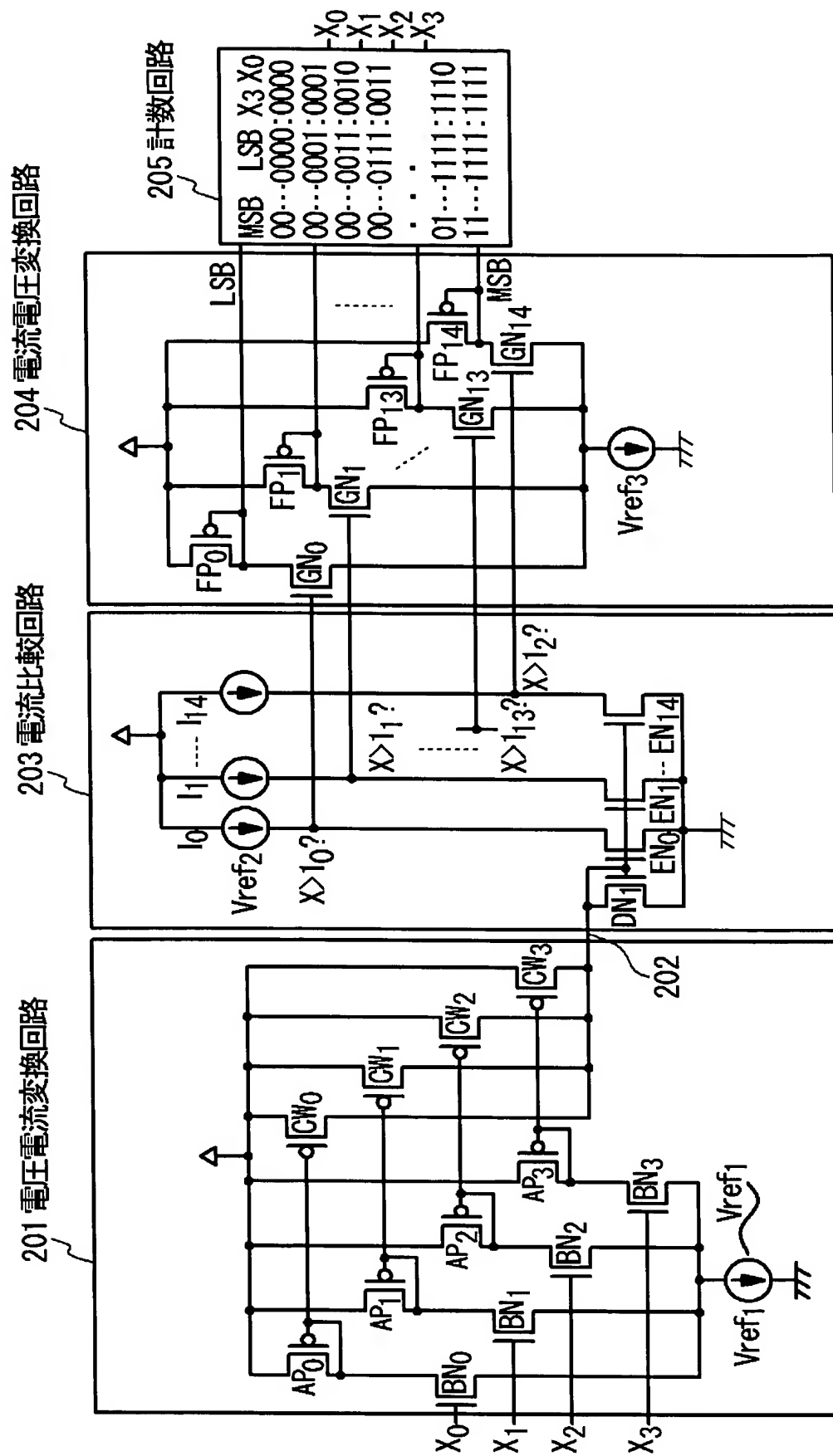
[図2]



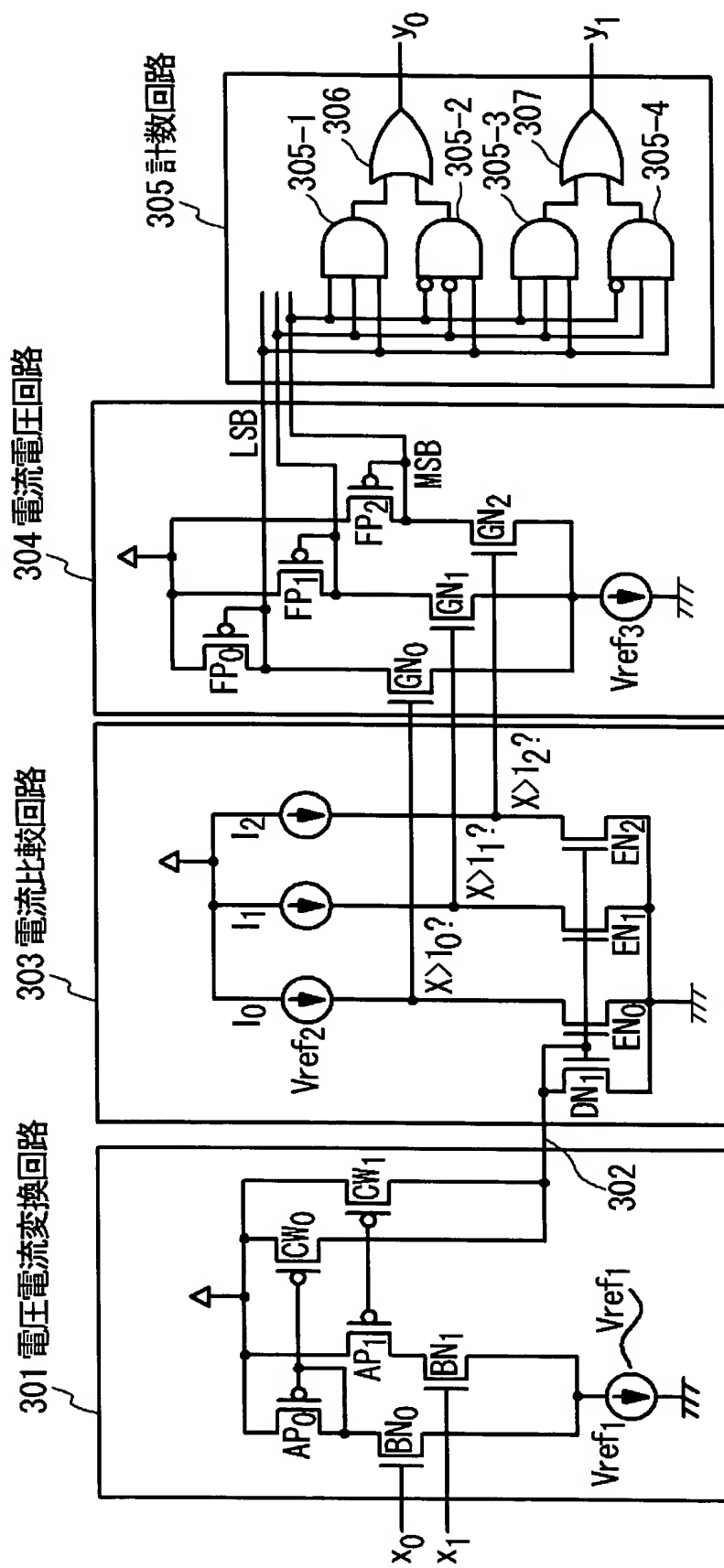
[図3]



[図4]

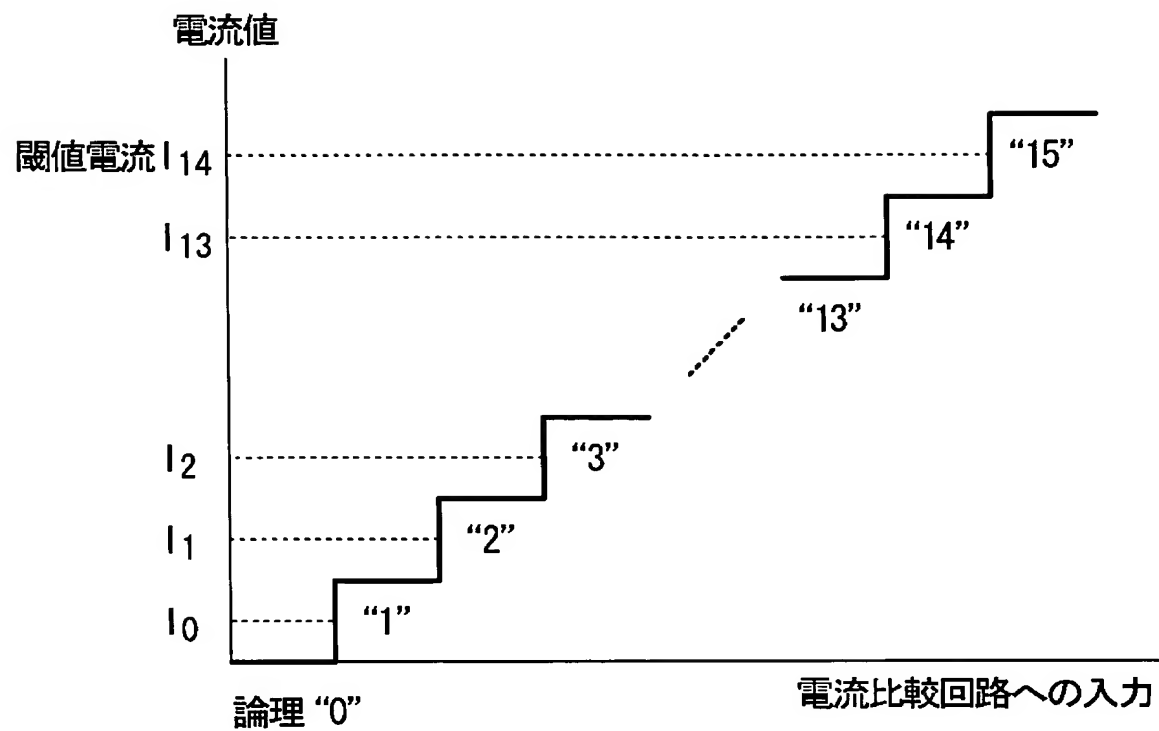


[図5]

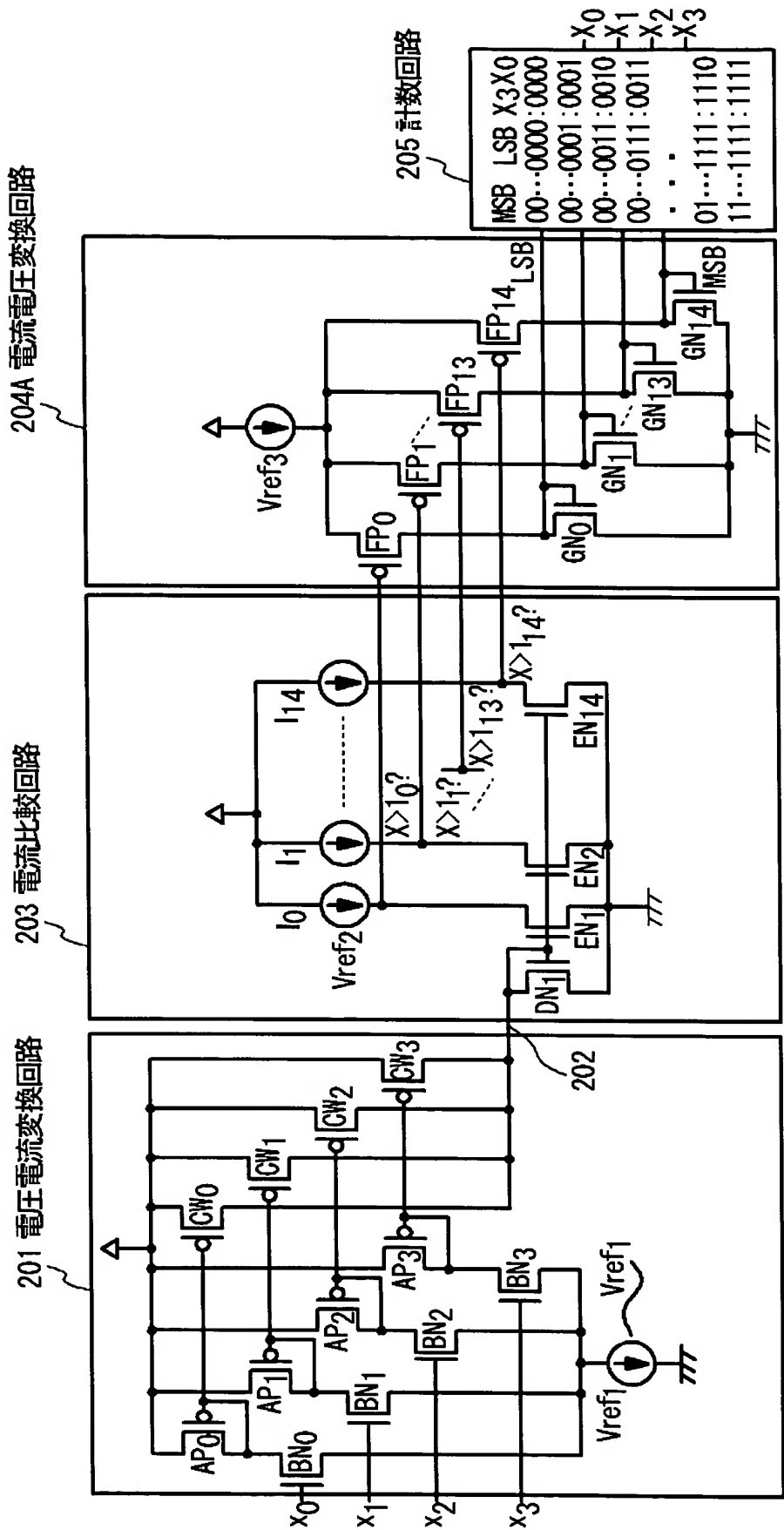




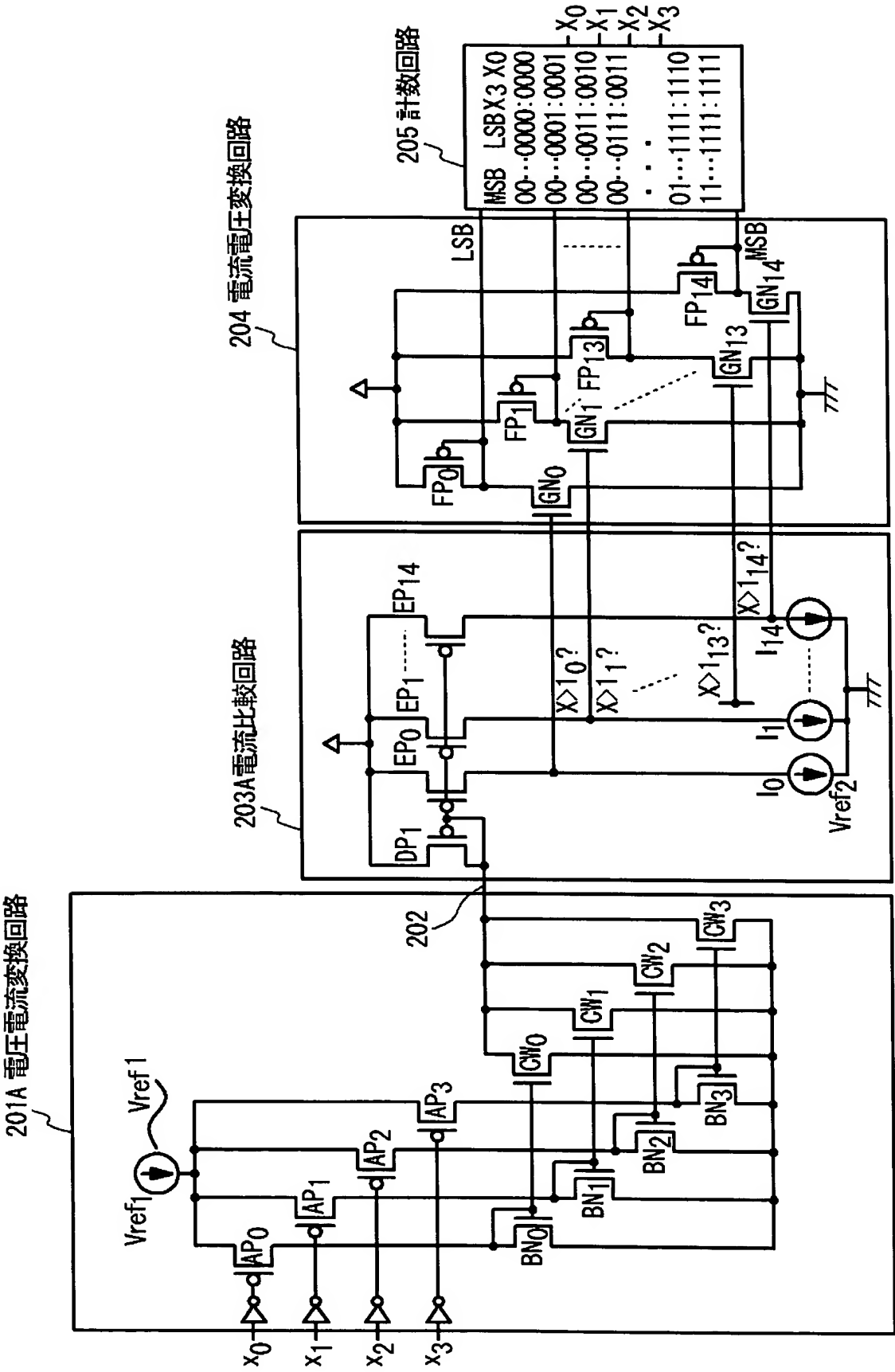
[図6]



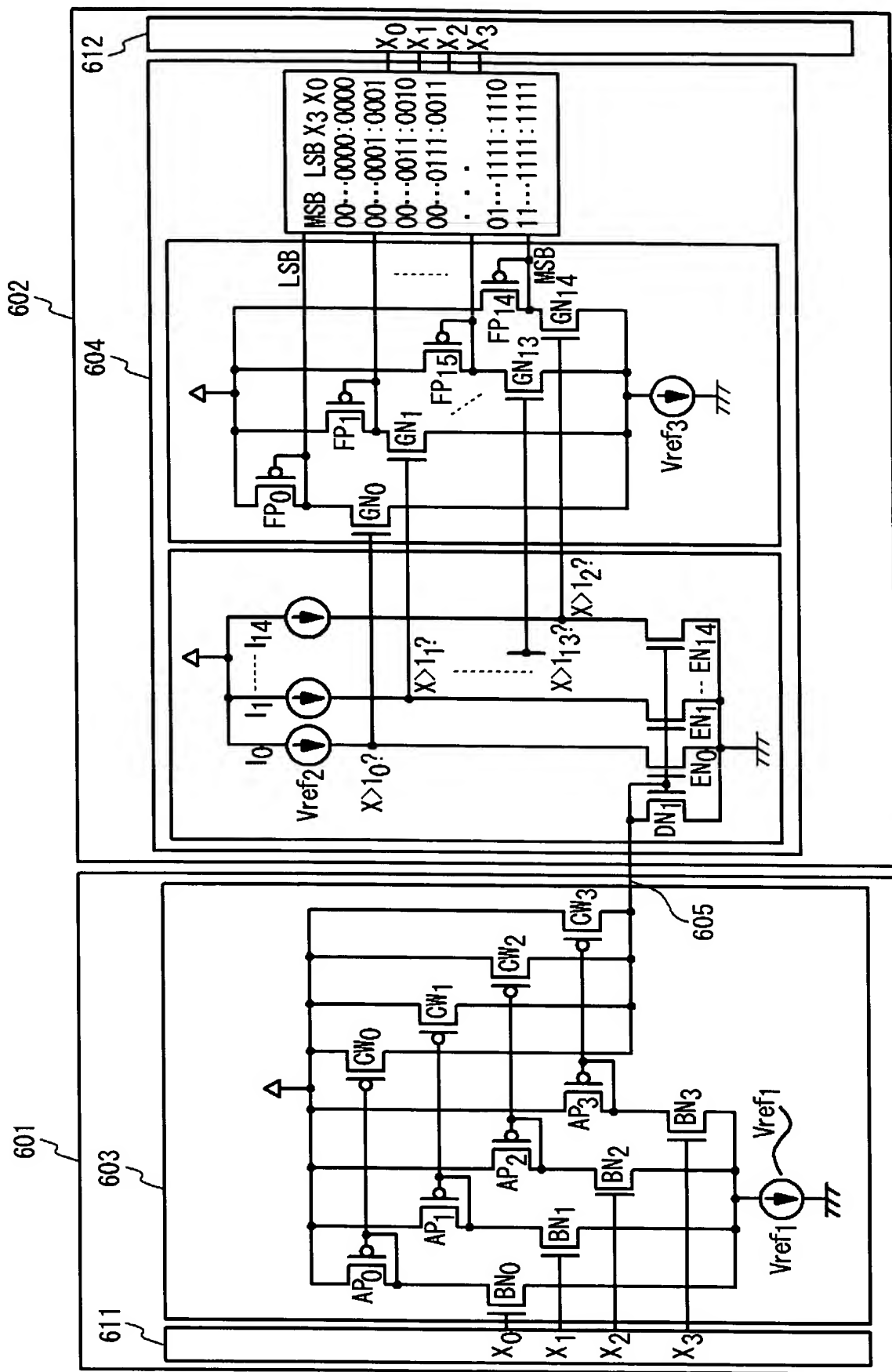
[図7]



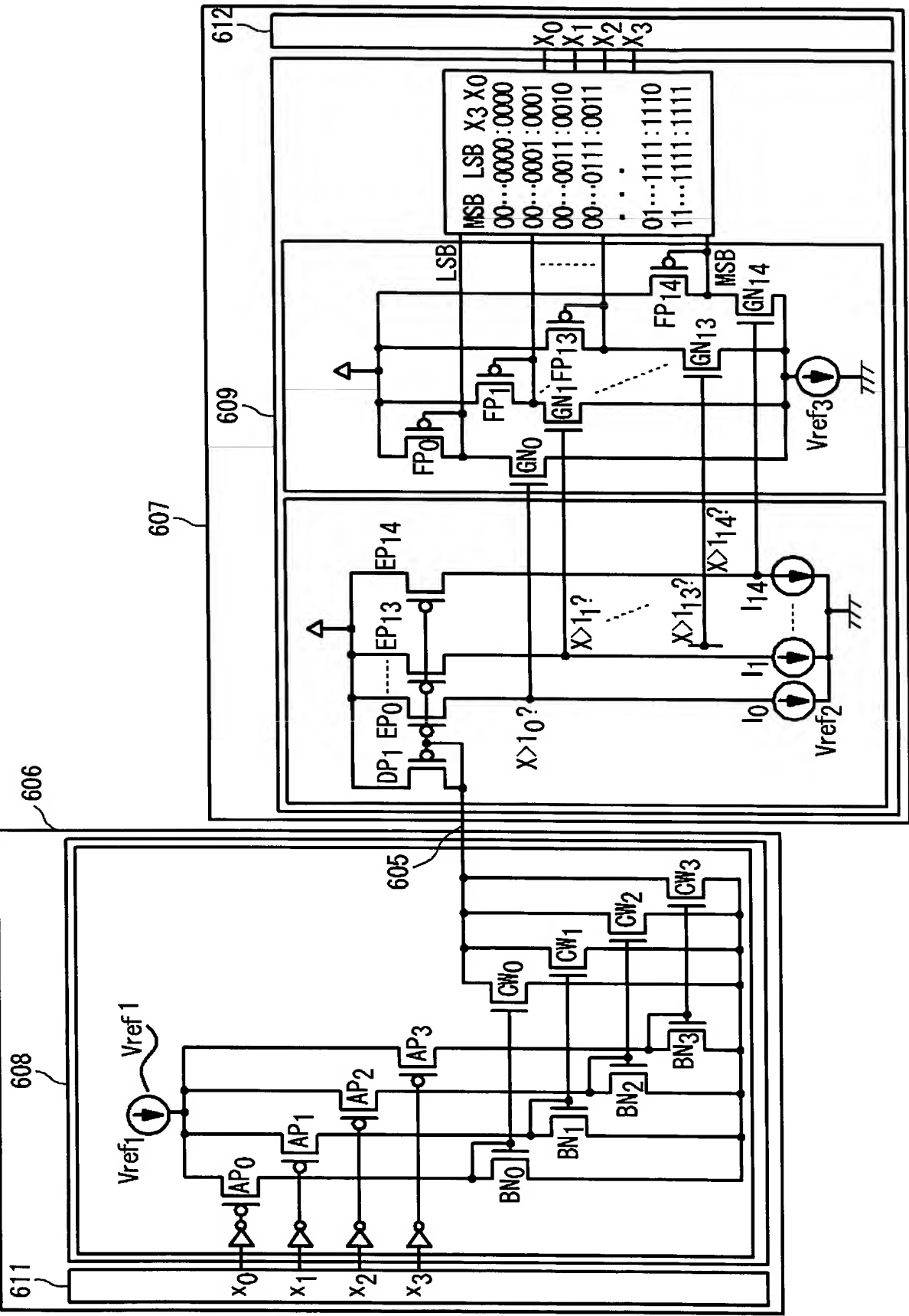
[図8]



[図9]

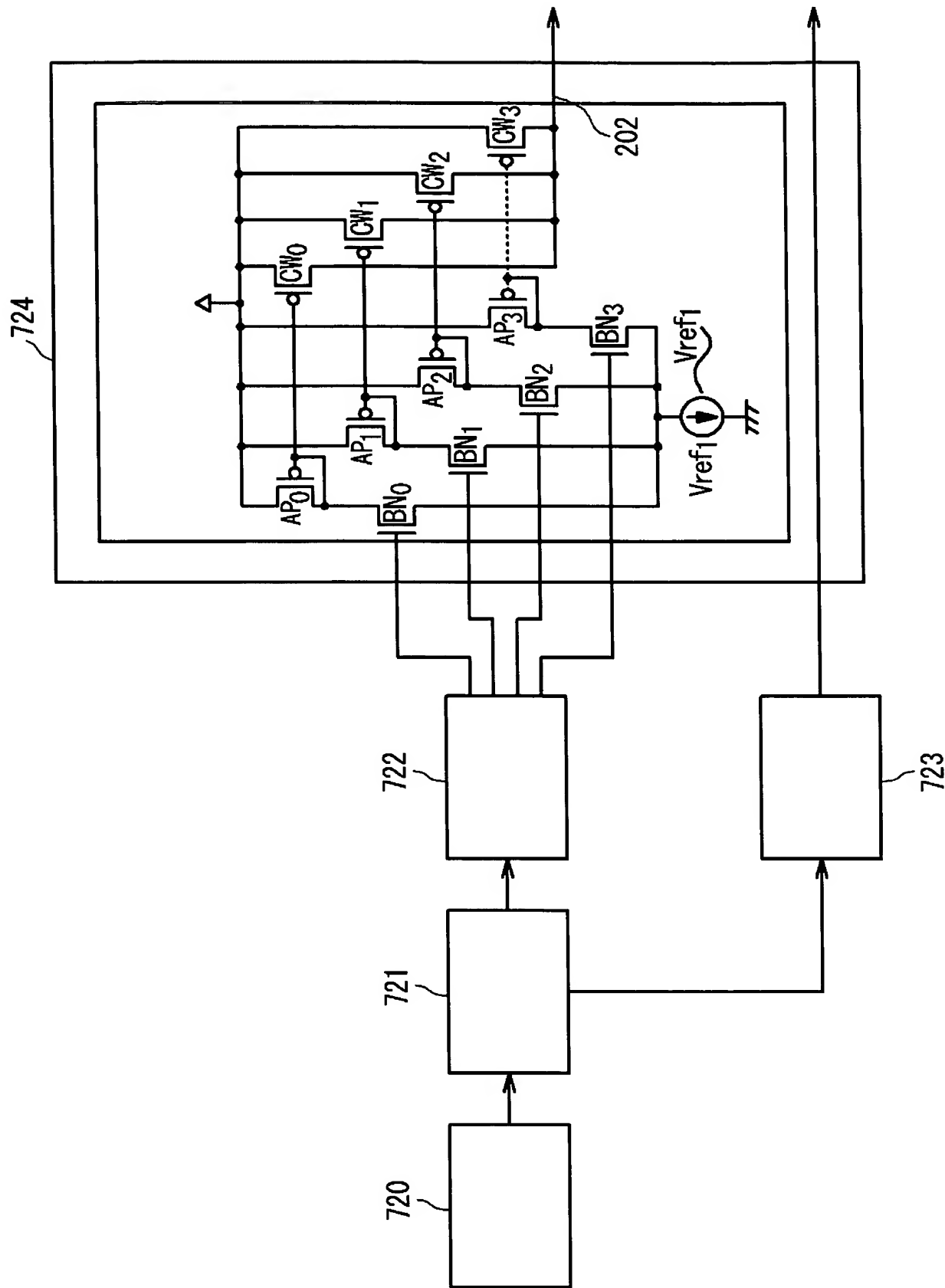


[図10]

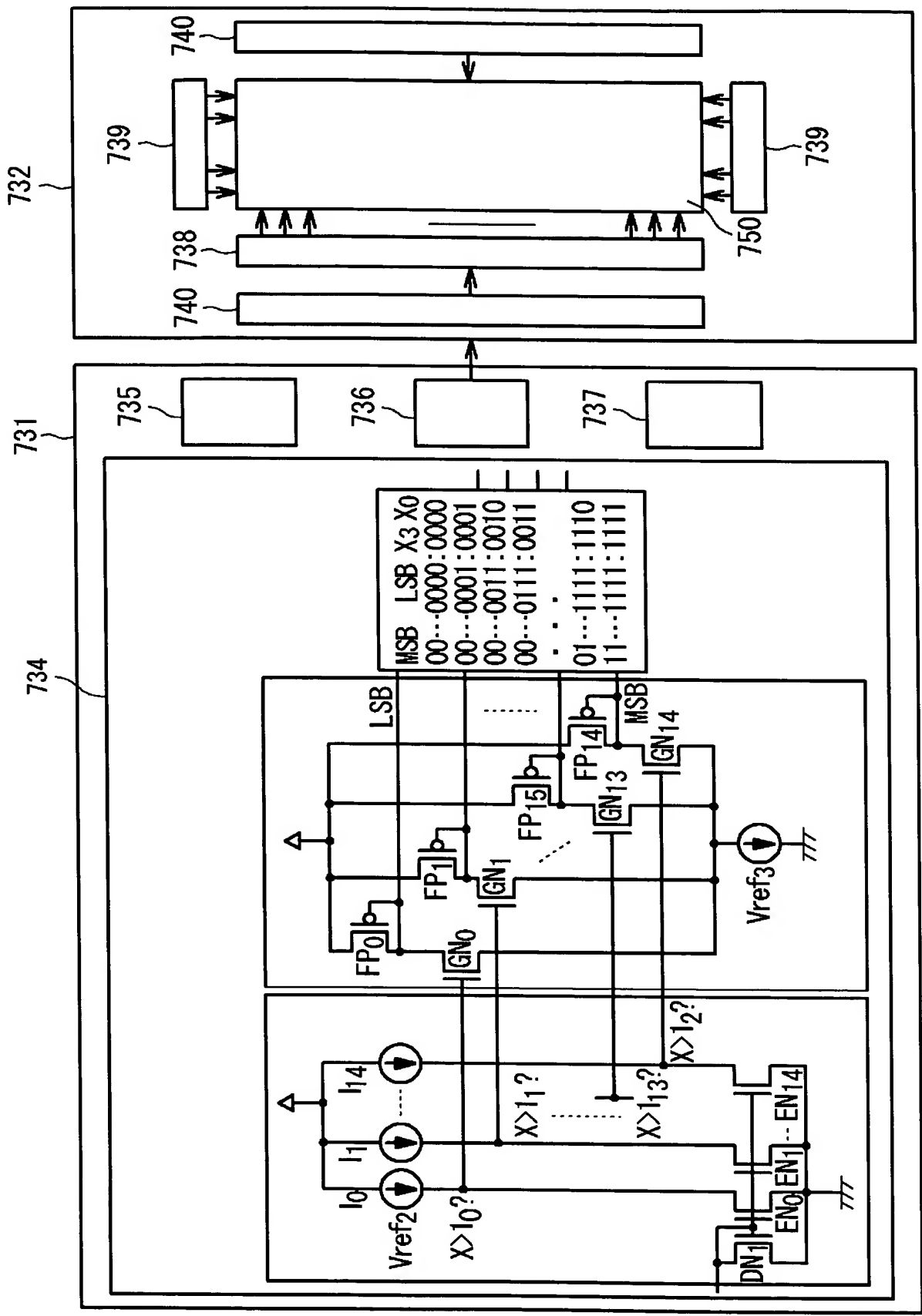




[図12]

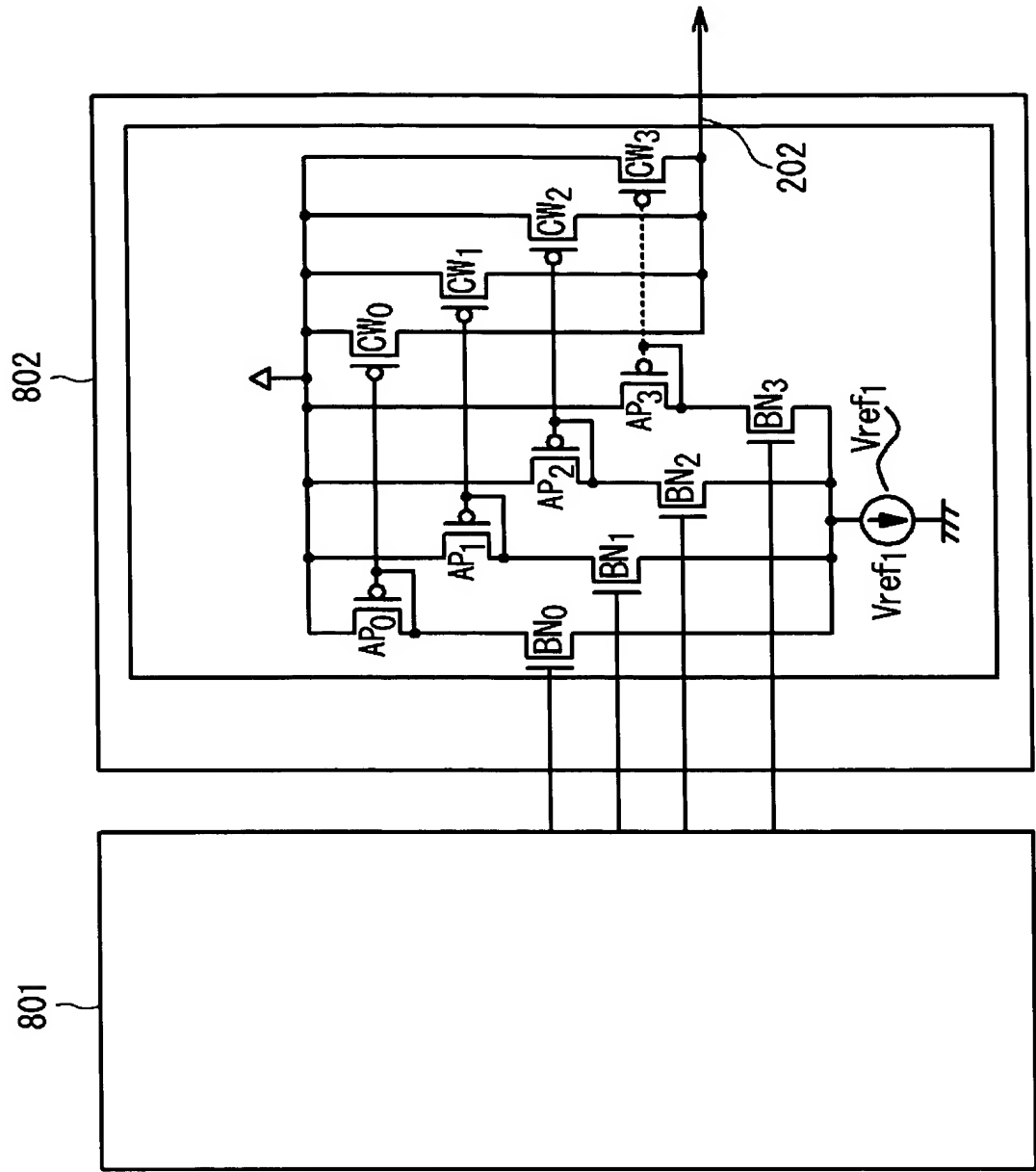


[図13]

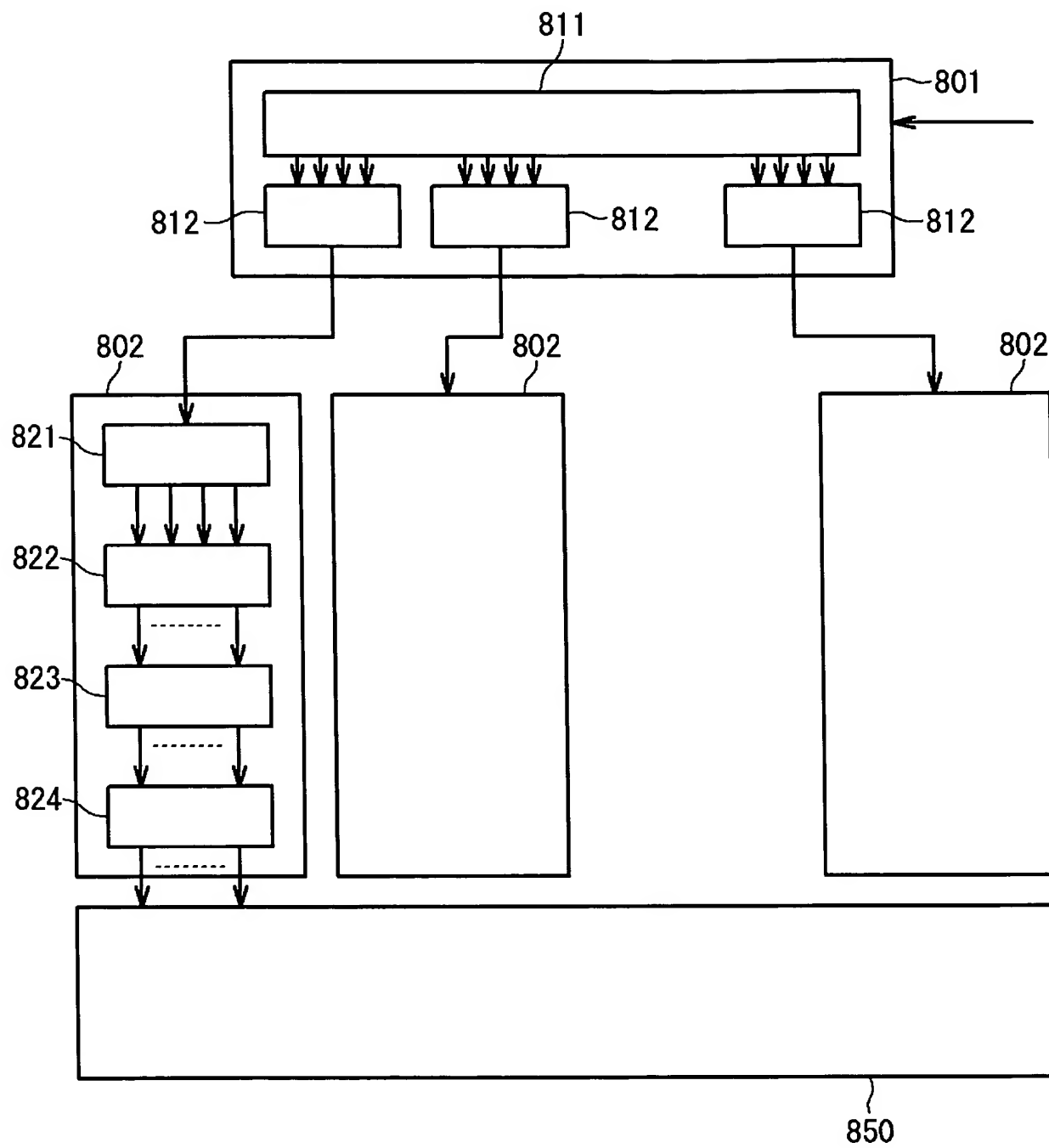




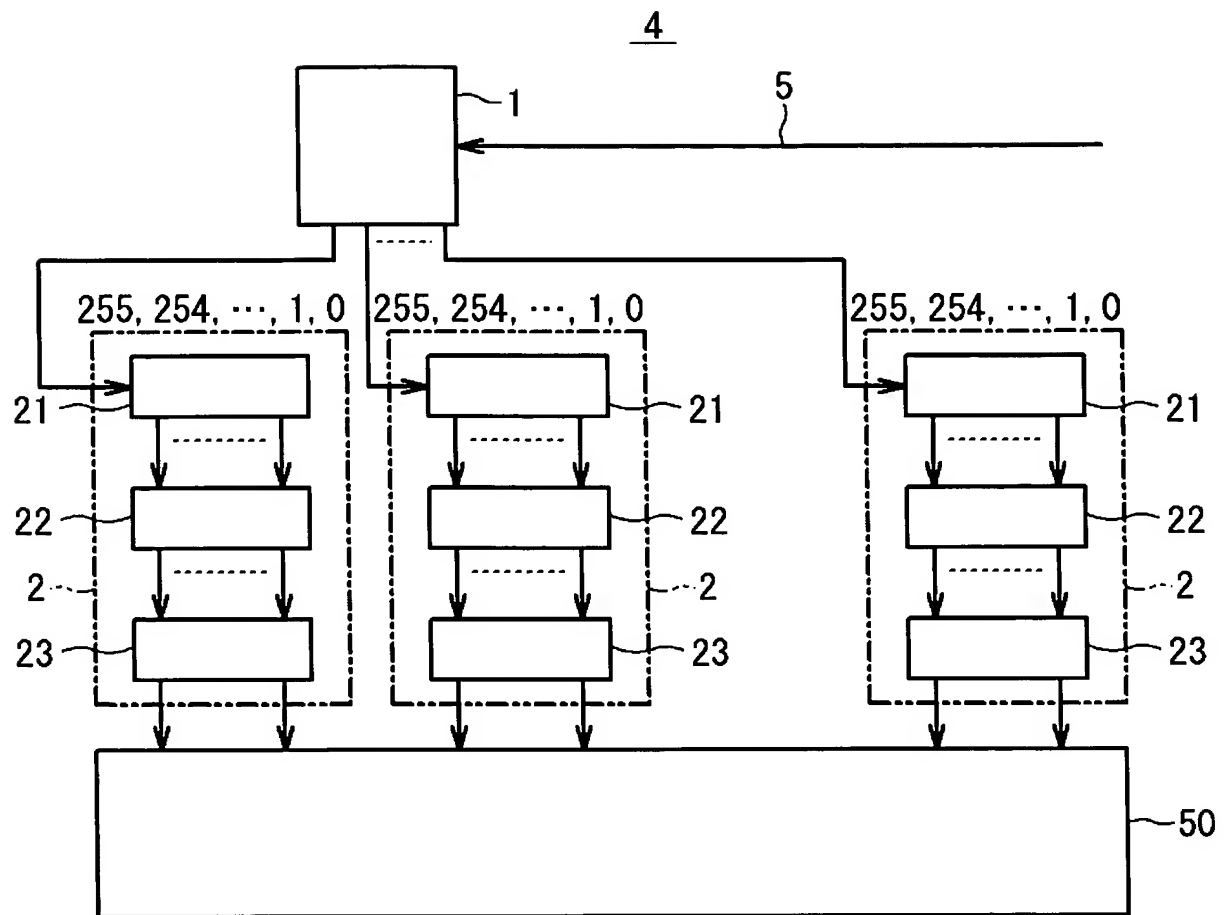
[図14]



[図15]



[図16]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/009718

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H03K17/16, H03K17/30, H04L25/02, H04L25/49, H03M5/20, H03M1/36,  
H03M1/74

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H03K17/00, H03K19/00, H04L25/00, H03M5/00, H03M1/00-1/88

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2001-156621 A (Toshiba Corp.), 08 June, 2001 (08.06.01), Figs. 1, 11 & US 2003/0174075 A1 & US 6567023 B1 & US 6727831 B2	17-20, 27, 29 1-16
X Y	JP 05-063574 A (NEC Corp.), 12 March, 1993 (12.03.93), Fig. 2; Par. Nos. [0012], [0013] (Family: none)	21-26, 28, 30 1-16
X Y	JP 03-216023 A (Yokogawa Electric Corp.), 24 September, 1991 (24.09.91), Fig. 3; page 2, lower left column, line 19 to page 3, upper left column, line 1 (Family: none)	21-26, 28, 30 1-16

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
27 July, 2004 (27.07.04)

Date of mailing of the international search report  
17 August, 2004 (17.08.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/009718

## Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
  
2. ☐ Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
  
3. ☐ Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

## Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The inventions of claims 1-16 relate to "a data transmission circuit". The inventions of claims 17-20, 27, 29 relate to "an output circuit" itself. The inventions of claims 21-26, 28, 30 relate to "an input circuit" itself. There exists no special technical feature common to these groups of inventions.

It should be noted that this international application is divided into three groups of inventions: a group of inventions of claims 1-16 relating to a data transmission circuit, a group of inventions of claims 17-20, 27, 29 relating to an output circuit itself, and a group of inventions of claims 21-26, 28, 30 relating to an input circuit itself.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
  
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

### Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest.
- ☐ No protest accompanied the payment of additional search fees.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>1</sup> H03K17/16, H03K17/30, H04L25/02, H04L25/49, H03M5/20, H03M1/36, H03M1/74

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>1</sup> H03K17/00, H03K19/00, H04L25/00, H03M5/00, H03M1/00-1/88

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年  
 日本国公開実用新案公報 1971-2004年  
 日本国登録実用新案公報 1994-2004年  
 日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	J P 2001-156621 A (株式会社東芝) 2001. 0 6. 08, 図1及び図11参照 & US 2003/01740 75 A1 & US 6567023 B1 & US 672 7831 B2	17-20, 27, 29 1-16
X Y	J P 05-063574 A (日本電気株式会社) 1993. 0 3. 12, 図2、【0012】及び【0013】参照 (ファミリ ーなし)	21-26, 28, 30 1-16
X Y	J P 03-216023 A (横河電機株式会社) 1991. 0 9. 24, 図3、第2頁左下欄第19行~第3頁左上欄第1行参照 (ファミリーなし)	21-26, 28, 30 1-16

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

国際調査を完了した日

27. 07. 2004

国際調査報告の発送日

17. 8. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

柳下 勝幸

5 X

9561

電話番号 03-3581-1101 内線 3556

## 第II欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT 17条(2)(a)) の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 \_\_\_\_\_ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 \_\_\_\_\_ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 \_\_\_\_\_ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

## 第III欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるときこの国際調査機関は認めた。

請求の範囲1～16には「データ転送回路」に係る発明が、請求の範囲17～20、27、29には「出力回路」自体に係る発明が、請求の範囲21～26、28、30には「入力回路」自体に係る発明が記載されており、各発明に共通な特別な技術的特徴はない。

なお、請求の範囲1～16をデータ転送に係るものとし、請求の範囲17～20、27、29を出力回路自体に係るものとし、請求の範囲21～26、28、30を入力回路自体に係るものと認定し、この国際出願の請求の範囲に記載された発明の数は3個とする。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

## 追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。  
☐ 追加調査手数料の納付と共に出願人から異議申立てがなかった。